

See discussions, stats, and author profiles for this publication at: <https://www.researchgate.net/publication/40440520>

Biblioteca de componentes para síntese do Protocolo de Sincronização e Codificação de Canal de Telemetria recomendado pelo CCSDS

Conference Paper · October 2009

Source: OAI

CITATION

1

READS

41

2 authors:



Fábio Batagin Armelin

National Institute for Space Research, Brazil

5 PUBLICATIONS **3** CITATIONS

SEE PROFILE



Roberto Damore

Instituto Tecnológico de Aeronautica

23 PUBLICATIONS **73** CITATIONS

SEE PROFILE

Biblioteca de componentes para síntese do Protocolo de Sincronização e Codificação de Canal de Telemetria recomendado pelo CCSDS

Fábio Batagin Armelin¹ e Roberto d'Amore²

¹Instituto Nacional de Pesquisas Espaciais – Avenida dos Astronautas, 1758, São José dos Campos, SP

²Instituto Tecnológico de Aeronáutica – Praça Marechal Eduardo Gomes, 50, São José dos Campos, SP

Resumo — Este trabalho propõe uma biblioteca de componentes que atendem a recomendação CCSDS para o Protocolo de Sincronização e Codificação de Canal de Telemetria da Camada de Link de Dados. Os componentes foram descritos na linguagem VHDL e permitem a síntese de 156 implementações distintas deste protocolo. O trabalho apresenta, também, os resultados de dez opções de sistemas implementados em FPGA com qualificação espacial, sintetizados a partir dos componentes propostos na biblioteca. A opção de maior custo de implementação ocupa 24% da área da FPGA RTAX1000S.

Palavras-chaves — CCSDS, Reed-Solomon, Convolutacional, VHDL, FPGA.

I. INTRODUÇÃO

O Instituto Nacional de Pesquisas Espaciais (INPE) desenvolve e opera satélites para coleta de dados, sensoriamento remoto e experimentos científicos. O monitoramento e controle de um satélite requerem um link de comunicação ponto a ponto com uma estação terrena, denominado link espacial. Este link possui, no mínimo, dois canais físicos unidirecionais, um em cada sentido: a estação terrena envia telecomandos (TC) para controlar o satélite; e o satélite envia telemetria (TM) para que possa ser monitorado.

O link espacial é inerentemente não confiável e, por esta razão, devem ser utilizadas técnicas de controle de erros e sincronização para a transferência confiável de dados através deste link. Existem protocolos que definem quais as técnicas que podem ser utilizadas.

As futuras missões espaciais do INPE, que se baseiam na plataforma multi-missão (PMM) do Instituto, prevêem o uso dos protocolos de comunicação recomendados pelo CCSDS (Consultative Committee for Space Data Systems).

O CCSDS foi formado em 1982, pelas principais agências espaciais mundiais, com o objetivo de padronizar os sistemas de dados espaciais para o intercâmbio de produtos e serviços entre as agências e missões espaciais.

O CCSDS desenvolve recomendações que abrangem desde os serviços embarcados, passando pelos serviços de links de comunicação, até os serviços de suporte cruzado, em solo.

As recomendações possuem muitas opções de implementação e devem ser utilizadas como referência para que cada agência, ou consórcio, defina as suas normas e especificações para determinadas missões.

O CCSDS possui recomendações aplicáveis a satélites que abrangem cinco camadas do modelo OSI[1]: Camada Física, Camada da Link de Dados, Camada de Rede, Camada de Transporte e Camada de Aplicação. A Camada de Link de Dados do modelo OSI é dividida em Subcamada de Protocolo

de Link de Dados e Subcamada de Sincronização e Codificação de Canal[2].

Os componentes da biblioteca proposta (Seção III) seguem as recomendações presentes no documento 'TM Synchronization and Channel Coding'[3]. Dentre estas recomendações, a única que não foi implementada é a Codificação Turbo (atualmente o INPE não considera seu uso). A implementação de quase todas as funções em suas várias opções visa atender uma ampla gama de missões. Os sistemas implementados (Seção IV) são exemplos de aplicação da biblioteca proposta para missões específicas e, por este motivo, utilizam apenas uma parcela dos componentes descritos.

Abaixo da subcamada de Sincronização e Codificação de Canal fica a Camada Física, que deve receber uma sequência ininterrupta de bits, a uma taxa constante. O tamanho dos dados resultantes da codificação depende do tipo de codificação utilizada. Desta forma, para opções de codificação distintas e uma mesma taxa de saída, as taxas de entrada de dados são diferentes. A descrição VHDL apresentada é muito útil na avaliação destas taxas em tempo de simulação, pois apresenta alertas sobre quaisquer violação na operação do sistema.

Sistemas e Propriedades Intelectuais (IP) com funcionalidades que atendem às recomendações CCSDS são disponíveis, contudo, eles são mais restritos com relação as opções de configuração disponíveis. Por exemplo, o ASIC AT7909E[4], da Atmel, implementa várias camadas do protocolo CCSDS para telemetria e telecomando, mas as opções para Sincronização e Codificação de Canal de Telemetria são mais restritas. Além disto, não há uma descrição disponível deste circuito que permita a sua simulação, e todas as funcionalidades já estão implementadas, o que aumenta o consumo.

Os IPs SAL40400E[5] e SAL40401E[6], da Salamander, têm as mesmas funcionalidades do sistema proposto, e diferem entre si no tipo de codificação Reed-Solomon, RS(255,239) e RS(255,223) respectivamente. Porém, possuem a desvantagem de que todas as funcionalidades são implementadas. Apesar de serem descritos em HDL, não há nenhuma informação quanto aos recursos de simulação.

Tirat-Gefen[7] apresentou, em 2005, uma proposta de desenvolvimento de IPs para os vários protocolos do CCSDS, incluindo o que é objeto deste trabalho. Infelizmente, não foram encontrados resultados a respeito desta proposta.

II. SINCRONIZAÇÃO E CODIFICAÇÃO DE CANAL DE TM

A Subcamada de Sincronização e Codificação de Canal de Telemetria garante a transferência das unidades de dados da subcamada superior, num link espacial, com pequena probabilidade de perda. Para tanto, esta subcamada possui três funções, que devem ser selecionadas de acordo com os requisitos da missão:

- Sincronização (obrigatório);
- Pseudo-Randomização (opcional);
- Controle de Erros (opcional)

Para o controle de erros, o CCSDS recomenda três tipos de codificação:

- Reed-Solomon;
- Convolutacional;
- Códigos Turbo (não considerado).

A Fig. 1 apresenta as possíveis configurações para Sincronização e Codificação de Canal de Telemetria consideradas neste trabalho, com a indicação da nomenclatura dos dados em cada estágio.

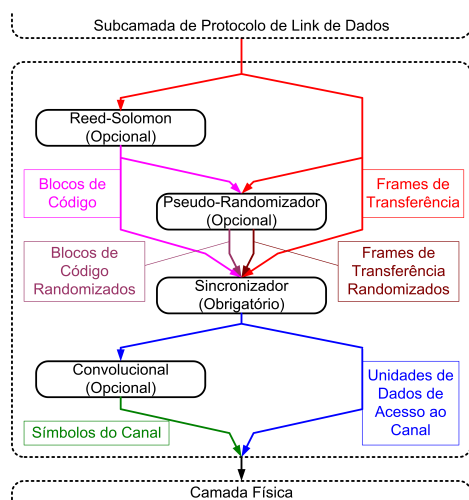


Fig.1. Opções de configuração do sistema para Sincronização e Codificação de Canal de Telemetria.

A. Sincronização

As unidades de dados da subcamada superior (Frames de Transferência) possuem tamanho fixo para uma missão[2], definido pela subcamada de Sincronização e Codificação de Canal, como discutido na Subseção II-D. Adicionalmente, as unidades de dados de saída desta camada de sincronização devem ser contíguas[8]. Por estas características, o CCSDS define como método de sincronização o uso de uma marca anexada ao início de cada Frame de Transferência (ou Frame de Transferência Randomizado, ou Bloco de Código, ou Bloco de Código Randomizado, como ilustra a Fig. 1). Como o tamanho dos Frames de Transferência é fixo e os dados são contíguas, a marca de sincronismo é periódica, e com taxa conhecida.

A Marca de Sincronismo Anexada (ASM -- Attached Sync Marker), definida pelo CCSDS para quaisquer das opções deste sistema, é o padrão de 32 bits 1ACFFC1D_H sendo o MSB o primeiro a ser transferido.

A estação terrena procura por estas marcas para garantir a correta interpretação dos dados. O ASM pode, ainda, ser utilizado na resolução da ambiguidade dos dados recebidos, ou seja, na identificação dos valores '0' e '1', caso a camada física não garanta esta resolução[3].

B. Pseudo-Randomização

Para os casos nos quais não se possa assumir que a densidade de transição de bits dos Frames de Transferência é suficiente para garantir a sincronização, o CCSDS define um pseudo-randomizador.

O polinômio gerador da sequência de pseudo-randomização é $h(x)=x^8+x^7+x^5+x^3+1$ o que define uma sequência iniciada por 111111101001000000011101100..._B.

O primeiro bit da sequência randômica deve ser empregado numa operação ou-exclusivo com o primeiro bit do Frame de Transferência (ou do Bloco de Código). Posteriormente o segundo bit de cada estrutura de dados, depois o terceiro, e assim sucessivamente. A sequência randômica deve ser reiniciada para cada novo Frame de Transferência (ou Bloco de Código). A recuperação dos dados, em solo, é feita com o mesmo processo.

C. Códigos de Controle de Erros

As configurações de codificação de canal recomendadas pelo CCSDS, consideradas neste trabalho, são:

- Sem codificação;
- Somente Reed-Solomon;
- Somente Convolutacional;
- Reed-Solomon concatenado com Convolutacional.

O CCSDS apresenta um comparativo de desempenho das opções de codificação no documento 'TM Synchronization and Channel Coding -- Summary of Concept and Rationale'[8].

1) *Sem Codificação*: A codificação para controle de erros nesta camada pode não ser utilizada. Neste caso, o controle de erros recai sobre mecanismos da camada superior.

2) *Codificação Reed-Solomon*: Os códigos RS são identificados como RS(n,k), onde n representa a quantidade de símbolos do bloco, e k o número de símbolos de informação. A quantidade E, que representa a capacidade de correção de símbolos, é dada por $2E = n - k$.

O CCSDS define duas opções de codificação RS, com parâmetros $E = 8$ e $E = 16$. Para o primeiro a notação é RS(255,239), e para o segundo RS(255,223), uma vez que o tamanho dos blocos é de 255 símbolos.

Os símbolos utilizados na codificação são elementos do Campo de Galois. O CCSDS define o seguinte polinômio gerador de campo: $F(x)=x^8+x^7+x^2+x+1$.

A abordagem mais comum para a codificação RS, utilizada neste trabalho, é pelo polinômio gerador[9] – outra opção, menos usual, é pela Transformada de Fourier do Campo de Galois[10]. O polinômio gerador da codificação recomendado pelo CCSDS é

$$g(x) = \prod_{j=128-E}^{127+E} (x - \alpha^{11j}) = \sum_{i=0}^{2E} G_i x^i \quad (1)$$

Para os dois codificadores recomendados podem ser utilizados *interleaving* de profundidade $I = 1, 2, 3, 4, 5$ ou 8. A codificação com *interleaving* funciona como se fossem I codificadores em paralelo, com o primeiro símbolo sendo codificado no primeiro codificador, o segundo símbolo no segundo codificador, o I-ésimo símbolo no I-ésimo codificador, e posteriormente, o (I+1)-ésimo símbolo no primeiro codificador, e assim sucessivamente. Desta forma o bloco de código final seria de nI símbolos, ou seja, neste caso 255I símbolos. A escolha do *interleaving* reflete no tamanho do Frame de Transferência (Subseção II-D).

A implementação em hardware dos codificadores RS pode ser com a arquitetura convencional[11], que utiliza um LFSR (Linear Feedback Shift-Register), ou a de Berlekamp[12], que é uma arquitetura serial. A arquitetura de Berlekamp, apesar de ser mais lenta, tem um custo de implementação me-

nor[13], e por essa razão foi tomada como referência para o CCSDS. Ambas arquiteturas podem ser empregadas, mas, como utilizam bases vetoriais distintas para a representação binária dos elementos do Campo de Galois, e o CCSDS define que a base de representação deve ser a dual (arquitetura de Berlekamp), num sistema que utiliza a arquitetura convencional, como o deste trabalho, deve ser feita uma conversão de bases, de dual para canônica (utilizada na arquitetura convencional) e vice-versa.

3) *Codificação Convolutacional*: O CCSDS recomenda o uso da Codificação Convolutacional em uma opção básica ou em uma de quatro opções puncionadas[3]. Na opção básica, o Código Convolutacional possui uma taxa de codificação igual a 1/2, ou seja, são gerados dois bits de codificação para cada símbolo de entrada; a profundidade do código é igual a sete, isso significa que a codificação é feita levando-se em conta o valor atual e os últimos seis valores apresentados na entrada; os vetores de conexão (que geram os dois bits para cada símbolo) são $G1 = 1111001$ e $G2 = 1011011$; e existe uma inversão de símbolo em $G2$.

Nas opções puncionadas, a profundidade do código e os vetores de conexão são os mesmos. As diferenças estão na ausência da inversão de $G2$ e nas taxas de codificação, que passam a ser 2/3, 3/4, 5/6 e 7/8.

4) *Reed-Solomon concatenado com Convolutacional*: A opção de codificação com Reed-Solomon e Convolutacional concatenados é a que apresenta melhor desempenho no controle de erros dentre as consideradas neste trabalho[8]. Neste esquema, primeiro é feita a codificação Reed-Solomon (Código Externo) e posteriormente a Convolutacional (Código Interno). Ambos codificadores podem utilizar quaisquer das opções apresentadas nas Subseções II-C.2 e II-C.3.

O ganho no desempenho do controle de erros ocorre na decodificação, uma vez que se ocorrer um erro na decodificação convolutacional (normalmente pelo algoritmo de Viterbi), o que acarretaria numa sequência de símbolos errôneos, a decodificação Reed-Solomon pode corrigi-los, pois esta codificação é especialmente útil para erros em sequência.

D. Tamanho dos Frames de Transferência

O esquema de codificação pode restringir o tamanho do Frame de Transferência. Para as opções sem codificação e somente com codificação convolutacional, o tamanho do Frame pode ser qualquer número inteiro de bytes até o limite de 2048. Porém, para as opções somente com RS e com convolutacional concatenado com RS, o que limita o tamanho do Frame é o tamanho do Bloco de Código RS. O tamanho L do Frame é determinado por $L = (255 - 2E - q)I$, onde q é o número de símbolos de preenchimento virtual do RS[3].

III. BIBLIOTECA DE COMPONENTES

A biblioteca desenvolvida, denominada *tm_scc* (TM Synchronization and Channel Coding), possui os seis componentes da Fig. 2: os Codificadores RS e Convolutacional; o Marcador de Sincronismo; e o Pseudo-Randomizador – para as funções da subcamada; e o Conversor Paralelo-Serial e o Controlador de Saída – que são componentes auxiliares.

As várias opções de cada componente são descritas em arquiteturas distintas, ou com o uso de *generics*, que são um recurso da linguagem VHDL para parâmetros estáticos. As interfaces de entrada e saída dos componentes são semelhantes,

para que a remoção de quaisquer dos componentes opcionais seja transparente para os componentes que são conectados às suas entradas e saídas: a remoção dos componentes opcionais é feita pela seleção de uma arquitetura que simplesmente mapeie as entradas para as saídas.

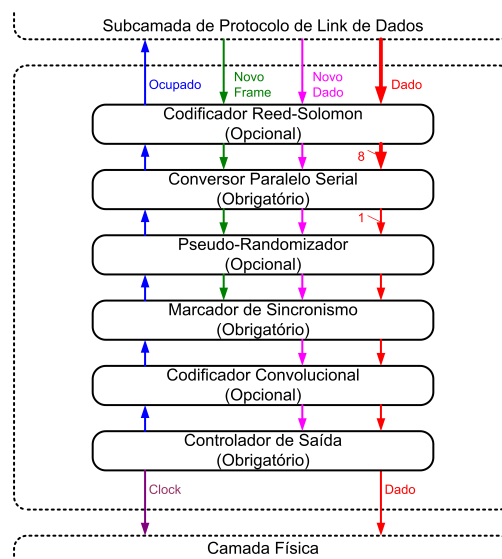


Fig. 2. Diagrama de Blocos da Subcamada de Sincronização e Codificação de Canal de Telemetria. Os sinais de Clock e Reset foram omitidos.

Com estas características, um sistema configurável pode ser descrito por meio de um arquivo estrutural VHDL com a mesma organização da Fig. 2 utilizando os componentes desta biblioteca, enquanto um arquivo contendo uma declaração de configuração define quais arquiteturas e *generics* serão utilizados para cada componente.

A descrição VHDL dos componentes gera uma série de mensagens que são exibidas durante a simulação. Estas mensagens auxiliam na verificação do funcionamento lógico do sistema durante a simulação pré-síntese. As mensagens mais relevantes são “novo dado de entrada enquanto um componente está ocupado”, pois este dado será ignorado, e “ausência de dados na memória do controlador de saída”, pois, se isso ocorrer, a camada não poderá manter a taxa de dados de saída. A Fig. 3 ilustra um exemplo de alerta gerado durante a simulação, referente a ausência de dados na saída.

Os componentes foram simulados separadamente com *test-benchs* específicos, tanto para a verificação da lógica de funcionamento quanto de geração de mensagens.

A. Codificador Reed-Solomon

O Codificador RS calcula e anexa a cada kI símbolos de informação os respectivos tI símbolos de paridade, conforme as especificações listadas na Subseção II-C.2.

A multiplicação dos elementos do Campo de Galois é realizada por tabelas de conversão, pois o processo de multiplicação é a soma dos expoentes dos elementos. São utilizadas tabelas que extraem o expoente do elemento e que fazem o processo inverso.

Como foi adotada a arquitetura convencional, foram utilizadas tabelas de conversão de base dual para canônica e vice-versa, na entrada e na saída do conversor, respectivamente.

Para a codificação RS, foram desenvolvidas três arquiteturas: RS(255,239), RS(255,223), e sem codificação. As opções de *interleaving* são implementadas pelo uso de um *generic*.

B. Conversor Paralelo-Serial

A interface de entrada da subcamada e o Codificador RS possuem símbolos de 8 bits. Os demais componentes da subcamada operam com símbolos de 1 bit. A serialização destes símbolos é executada pelo Conversor Paralelo-Serial.

Este componente possui uma única arquitetura, pois não existem variações na sua funcionalidade.

C. Pseudo-Randomizador

O Pseudo-Randomizador altera o valor de alguns símbolos pelo seu complemento, de acordo com a sequência de randomização apresentada na Subseção II-B.

Este componente possui duas arquiteturas, uma que realiza a randomização e outra que não.

D. Marcador de Sincronismo

A marca de sincronismo é inserida no início do Frame de Transferência. A cada novo frame, um registrador de deslocamento de 32 bits é carregado com o ASM, e para cada novo dado recebido, o registrador é deslocado, inserindo o novo dado no deslocador, e enviando um novo dado do ASM (posteriormente do frame) ao próximo componente. Desde o momento em que o último bit do frame entra no registrador, até o momento em que sai, o Marcador sinaliza estar ocupado. Quando este ciclo se encerra, o Marcador está pronto para inserir outro ASM.

Este componente possui uma única arquitetura, pois não existem variações na sua funcionalidade, mas possui como parâmetro o tamanho do frame, informado como um *generic*.

E. Codificador Convolutacional

O Codificador Convolutacional é formado por um deslocador de 6 estágios, necessário para armazenar os últimos seis valores; pelos vetores de conexão G1 e G2, que são operações ou-exclusivo que definem os valores codificados; e pelo punçãoador, que define quais valores codificados, dentre os gerados pelos vetores de conexão, serão utilizados.

Este componente possui 6 opções definidas em arquiteturas distintas: sem codificação, codificação sem puncionamento, e codificação com puncionamentos de taxa 2/3, 3/4, 5/6 e 7/8.

F. Controlador de Saída

Os dados de saída da subcamada devem ser contíguos e periódicos. Esta característica é assegurada pelo Controlador de Saída, que determina a taxa de transmissão de dados e possui uma memória FIFO de 4 kbits para poder garantir a periodicidade dos dados (gravação aperiódica, mas leitura periódica). Caso a FIFO seja preenchida, a subcamada superior é sinalizada (Ocupado, na Fig. 2). Caso a FIFO esvazie, nenhuma ação é tomada (a não ser os alertas).

Este componente possui uma única arquitetura, mas a taxa de saída de dados pode ser configurada por um *generic*.

IV. APLICAÇÃO

A interface desta subcamada com a superior (Subcamada de Protocolo de Link de Dados) é formada pelos sinais de dados, e os sinalizadores de novo dado, novo frame e de ocupado.

Nos sinais de dados (8 bits) devem ser apresentados os símbolos que compõem o Frame de Transferência. A cada símbolo, deve ser sinalizado para a subcamada que um novo dado está presente. Quando este dado for o primeiro símbolo de um frame, também deve ser sinalizado que um novo frame se inicia. Estas duas sinalizações devem durar um ciclo de clock. A sinalização de ocupado, gerada por esta subcamada para a superior, indica que a subcamada não pode receber um novo dado.

Esta interface é adequada para a integração desta subcamada com outras camadas do protocolo em uma FPGA. Para uma aplicação em que esta subcamada seja utilizada sozinha num dispositivo, pode ser necessária a modificação do modo de acesso aos seus serviços.

A interface com a camada inferior (Camada Física) é composta por uma serial síncrona formada por um sinal de dado com codificação NRZ-L e um de clock, com a transição do dado na borda de descida do clock, e o dado válido na borda de subida. Estas características são adequadas para a conexão com um transmissor que implemente a Camada Física, onde seria necessário apenas a conversão elétrica para, usualmente, o padrão RS-422.

A. Exemplos de Aplicação dos Componentes

A Subcamada de Sincronização e Codificação de Canal de Telemetria do CCSDS possui muitas opções de implementação, como discutido na Seção II. O total de configurações é de 156, uma vez que: o pseudo-randomizador é opcional, e possui apenas uma alternativa de implementação; as opções de RS totalizam 13, desde a não codificação até as duas opções de codificador, cada um podendo ter 6 níveis de *interleaving*; e a codificação Convolutacional permite mais seis opções: sem codificação, opção não puncionada e mais quatro opções de puncionamento.

Para exemplificar o uso dos componentes, foram escolhidas as dez opções de sistemas listadas na Tabela I. Para os cinco exemplos sem codificação Reed-Solomon, foi utilizado o tamanho máximo de frame. Os exemplos com Reed-Solomon possuem frame do tamanho imposto pela codificação RS.

Em todos os exemplos, a taxa de dados de saída é de 650 kbps, que é um valor adotado em alguns sistemas do INPE. Para tanto, foi escolhido um clock de operação de 13 MHz, por ser um múltiplo inteiro de 650 kHz, e o divisor do controlador de saída foi configurado para 20.

TABELA I. CARACTERÍSTICAS DOS DEZ EXEMPLOS DE APLICAÇÃO DOS COMPONENTES

Ex	RS / I	Conv.	Random.	Tam. Frame (bytes)
1	-	-	-	2048
2	-	-	Sim	2048
3	-	1/2	-	2048
4	-	7/8	-	2048
5	-	7/8	Sim	2048
6	(255,239) / 1	-	-	239
7	(255,239) / 8	-	-	1912
8	(255,223) / 1	-	-	223
9	(255,223) / 8	-	-	1784
10	(255,223) / 8	7/8	Sim	1784

Como a potência é um recurso limitado em sistemas embarcados em satélites, a frequência de operação deve ser a menor possível, mas os impactos nos demais requisitos devem ser analisados: o controlador de saída precisaria de outro valor para o divisor (caso a taxa de 650 kbps fosse mantida); e o

circuito deve ser capaz de fazer toda a manipulação de dados (inserir marca de sincronismo e redundância de controle de erros) sem afetar a taxa de saída.

As implementações foram feitas para a FPGA RTAX1000SCQ352[14], da Actel, que pertence a uma família de FPGA's com tolerância a radiação. Por essa razão foi utilizado o ambiente de desenvolvimento Libero[15], da Actel, que reúne várias ferramentas, tais como: Modelsim para simulação, Synplify para síntese e Designer para roteamento.

A verificação do funcionamento destes exemplos foi realizada por simulação pré-síntese, pós-síntese e pós-layout.

Os resultados foram comparados com valores obtidos por um software que implementa as mesmas funcionalidades e recebe os mesmos estímulos.

Todas as simulações foram feitas com *testbenchs* VHDL que lêem arquivos de estímulos e geram arquivos de resultados, de forma que novos casos para simulação precisam alterar apenas estes arquivos de estímulos.

V. RESULTADOS DA IMPLEMENTAÇÃO

Com o auxílio das ferramentas de desenvolvimento da Actel[15], foram obtidas informações de consumo de área, frequência máxima de operação e dissipação de potência para cada um dos dez exemplos de implementação. Estes valores são apresentados na Tabela II.

Os valores de dissipação de potência levam em consideração a frequência de operação de 13 MHz.

As frequências máximas, obtidas para este dispositivo, indicam que a frequência estipulada para operação é viável, pois todas são superiores (mais de 3,8 vezes) a 13 MHz.

Quanto ao consumo de área, o codificador Reed-Solomon é o componente mais custoso. A diferença funcional entre Ex 1 e 9 é que o último possui um codificador RS(255,223) com *interleaving* 8, e o primeiro não possui codificação RS, mas a área ocupada pelo Ex 9 é superior a 13 vezes a área do 1. Porém, essa diferença na área ocupada não reflete com a mesma razão na potência dissipada, pois o Ex 9 dissipa apenas 1,37 vezes a potência dissipada pelo 1.

Todos os exemplos utilizam apenas um dos 36 blocos de memória RAM disponíveis no dispositivo, ou seja, a FIFO de 4 kbits poderia ser facilmente ampliada.

TABELA II. CONSUMO DE ÁREA, FREQUÊNCIAS MÁXIMAS DE OPERAÇÃO E POTÊNCIA DISSIPADA (@13MHz) PELOS DEZ EXEMPLOS DE APLICAÇÃO

Ex	Células	Ocupação	Freq. Máx. (MHz)	Pot. (mW)
1	318	2%	96,1	85,23
2	340	2%	95,8	86,13
3	338	2%	67,9	85,35
4	347	2%	67,4	85,15
5	369	3%	67,4	90,85
6	1571	9%	51,4	94,02
7	2563	15%	48,1	104,67
8	2164	12%	50,9	90,76
9	4235	24%	49,5	117,15
10	4305	24%	50,4	118,54

O ASIC da Atmel[4], que implementa algumas das funcionalidades desta camada, opera a 16 MHz, com frequência máxima de 22,2 MHz. Não são fornecidas informações sobre o consumo de área e a potência dissipada é da ordem de 250 mW. A taxa de saída de dados pode ser determinada por um clock separado.

Os IPs da Salamander[5][6] podem operar em frequências superiores a 200 MHz, mas não são apresentadas as FPGA's

nas quais estas taxas são possíveis. O consumo de área e a potência dissipada também não são informados. A taxa de saída de dados pode ser na frequência de operação, mas são necessários sinais de controle para garantir a periodicidade e continuidade dos dados.

VI. CONCLUSÕES

Os componentes propostos na Biblioteca *tm_scc* atendem a quaisquer requisitos funcionais das missões espaciais previstas pelo INPE. Os exemplos de implementação demonstram a capacidade de fornecimento de dados a uma taxa constante e realista, com uma frequência de operação de 13 MHz.

Supondo a mesma taxa de dados de saída, não há interesse no aumento desta frequência de operação, pois isso acarretaria no aumento da potência dissipada, sem nenhum ganho de desempenho. O interessante seria a diminuição desta frequência e da potência. Podem existir outros múltiplos inteiros de 650 kHz que atendam as necessidades de manipulação de dados. Os recursos de simulação (mensagens de alerta) são muito úteis na verificação destas possibilidades.

Como todos os exemplos ocupam menos de 1/4 da área da FPGA RTAX1000S, estes poderiam ser implementados na FPGA RTAX250S[14], que possui 1/4 da área da FPGA utilizada e pertence à mesma família de FPGAs com qualificação espacial. Isso poderia acarretar em diminuição de consumo e, principalmente, redução de custo financeiro. Porém, os exemplos 9 e 10 podem ser exceções, pois utilizam 24% da área da RTAX1000S, e o custo com o novo roteamento pode ultrapassar a área total da RTAX250S.

REFERÊNCIAS

- [1] International Organization for Standardization, *Information Technology – Open Systems Interconnection – Basic Reference Model: The Basic Model*. Issue 2, Geneva, 1994.
- [2] Consultative Committee for Space Data Systems, *Overview of Space Communications Protocols*. Issue 2, Washington, DC, USA, 2007.
- [3] Consultative Committee for Space Data Systems, *TM Synchronization and Channel Coding*. Issue 1, Washington, DC, USA, 2003.
- [4] Atmel. AT7909E – Single Chip Telemetry and Telecommand. Disponível em http://www.atmel.com/dyn/resources/prod_documents/doc7693.pdf. Acesso em: Abril de 2009.
- [5] Salamander Error Correction, *SAL40400E - CCSDS Compatible t = 8 Reed-Solomon / Convolutional Encoder*. Disponível em: <http://www.salamander-ecc.com/sal40400e.pdf>. Acesso em: Abril de 2009.
- [6] Salamander Error Correction, *SAL40401E - CCSDS Compatible t = 16 Reed-Solomon / Convolutional Encoder*. Disponível em: <http://www.salamander-ecc.com/sal40401e.pdf>. Acesso em: Abril de 2009.
- [7] Y. G. Tirat-Gefen, "FPGA/ASIC Cores for Interplanetary Internet Applications", *8th MAPLD International Conference, Technical Presentation*, Washington, DC, 2005.
- [8] Consultative Committee for Space Data Systems, *TM Synchronization and Channel Coding - Summary of Concept and Rationale*. Issue 1, Washington, DC, USA, 2006.
- [9] J. Adámek, *Foundations of Coding*. John Wiley and Sons Inc., USA, 1991.
- [10] S. B. Wicker and V. K. Bhargava, *Reed-Solomon Codes and Their Applications*. IEEE Press., 1994.
- [11] S. Lin and D. J. Costello Jr., *Error Control Coding: Fundamentals and Applications*. Prentice Hall Series in Computer Applications in Electrical Engineering, 1983.
- [12] E. R. Berlekamp, "Bit-Serial Reed-Solomon Encoders", *Information Theory, IEEE Transactions on*, v. IT-28, n. 6, pp. 869-874, 1982.
- [13] M. Perlman and J.-J. Lee, "Reed-Solomon Encoders – Conventional vs Berlekamp's Architecture", *JPL Publication*, 1982.
- [14] Actel. RTAX-S/SL RadTolerant FPGAs. Disponível em http://www.actel.com/documents/RTAXS_DS.pdf. Acesso em: Abril de 2009.
- [15] Actel. Libero IDE. Disponível em <http://www.actel.com/products/software/libero/>. Acesso em: Abril de 2009.