MINISTÉRIO DA CIÊNCIA E TECNOLOGIA
INSTITUTO DE PESQUISAS ESPACIAIS

I

AUTORIZAÇÃO PARA PUBLICAÇÃO
AUTHORIZATION FOR PUBLICATION

AUTORES / AUTHORS

PALAVRAS CHAVES/KEY WORDS

PROCESSAMENTO PARALELO, COMPUTAÇÃO INCREMENTAL, COMUNICAÇÃO ENTRE PROCESSADORES, ARQUITETURA MIMD.

AUTORIZADA POR / AUTHORIZED BY

Marco Antonio Raupp
Diretor Geral

AUTOR RESPONSAVEL
RESPONSIBLE AUTHOR

João Benedito Diehl

DISTRIBUIÇÃO/DISTRIBUTION

- [x] INTERNA / INTERNAL
- [ ] EXTERNA / EXTERNAL
- [ ] RESTRITA / RESTRICTED

REVISADA POR / REVISED BY

Juan Suñe Perez

CDU/UDC

681.3.06

DATA / DATE

Dezembro 1987

PUBLICAÇÃO Nº
PUBLICATION NO

INPE-4442-RPI/189

ORIGEM
ORIGIN

DCA

PROJETO
PROJECT

COMINC

Nº DE PAG.
NO OF PAGES

53

ULTIMA PAG.
LAST PAGE

D.10

VERSÃO
VERSION

Nº DE MAPAS
NO OF MAPS

TÍTULO/TITLE

COMPUTADOR ASTRO L-V2: DESCRIÇÃO LÓGICA

AUTORES/AUTHORSHIP

João Benedito Diehl

RESUMO - NOTAS / ABSTRACT - NOTES

Descrição funcional do computador ASTRO L-V2, ressaltando aspectos importantes da sua arquitetura e programação básica.

OBSERVAÇÕES / REMARKS

ABSTRACT

A functional description of the ASTRO L-V2 computer, laying emphasis on important architecture and basic programming aspects.

SUMÁRIO

Pág.

LISTA DE FIGURAS ..... *v*
LISTA DE TABELAS ..... *vii*

CAPÍTULO 1 - INTRODUÇÃO 1

CAPÍTULO 2 - ARQUITETURA DO COMPUTADOR ASTRO L-V2 3

CAPÍTULO 3 - MAPAS DE MEMÓRIA 5

3.1 - Mapa de Memória do CT 5
3.2 - Mapa de Memória do Analisador Digital (AD) 7

CAPÍTULO 4 - MEMÓRIA DE COMUNICAÇÃO 9

4.1 - Transmissão de Dados do CT para os ADs 11
4.2 - Transmissão de Dados de um Determinado AD para o CT e para os outros ADs 13

CAPÍTULO 5 - MEMÓRIA DE CONTROLE 17

CAPÍTULO 6 - FUNCIONAMENTO DINÂMICO DO ASTRO L-V2 19

REFERÊNCIAS BIBLIOGRÁFICAS 23

APÊNDICE A - TRANSFERÊNCIA DE DADOS DO CT PARA OS ADs ATRAVÉS DA MEMÓRIA DE COMUNICAÇÃO

APÊNDICE B - TRANSFERÊNCIA DE DADOS DO ADi PARA O CT E PARA OS DEMAIS ADs

APÊNDICE C - ENVIO DE UMA PALAVRA DE CONTROLE A UM DETERMINADO AD

APÊNDICE D - ESPECIFICAÇÕES DO ASTRO L-V2, INTERFACE COM PERIFÉRICOS E SINAIS DE CONTROLE

LISTA DE FIGURAS

Pág.

2.1 - Arquitetura do computador ASTRO L-V2 3

3.1 - Mapa de memória do CT 7

3.2 - Mapa de memória dos ADs 8

4.1 - Alocação da MC em caixas postais 9

4.2 - Chaveamento da Memória de Comunicação (MC) 10

6.1 - Diagrama de tempo do fluxo de processamento do ASTRO L-V2 ... 19

A.1 - Fluxograma do programa de transferência de dados da Memória de Comunicação do CT para a Memória de Comunicação de todos os ADs A.3

B.1 - Fluxograma do programa de transferência de dados do AD 2 para o CT e para os demais ADs B.2

C.1 - Fluxograma do programa que envia uma palavra do controle para um determinado AD C.1

LISTA DE TABELAS

Pág.

D.1 - Especificações Gerais do Controlador D.4

D.2 - Especificação dos Sinais de Controle da CPU/CT D.7

D.3 - Especificações gerais dos Analisadores Digitais D.9

D.4 - Especificações dos Sinais de Controle da CPU/AD D.10

CAPÍTULO 1

INTRODUÇÃO

O objetivo deste trabalho é descrever a estrutura do computador ASTRO L-V2, ressaltando aspectos importantes de sua programação. O computador ASTRO L-V2, construído como parte do projeto Computação Incremental (COMINC) do Departamento de Engenharia de Computação (DCA), é um sistema multiprocessador baseado na família TI 9900, da Texas Instruments.

O Capítulo 2 descreve a arquitetura do ASTRO L-V2, destacando as unidades de processamento básicas do sistema: o Controlador (CT), unidade mestre, e os Analisadores Digitais (ADs), unidades de cálculo paralelo.

O Capítulo 3 descreve o mapeamento de memória do ASTRO L-V2.

O Capítulo 4 descreve a Memória de Comunicação do ASTRO L-V2 e sua divisão entre os ADs, baseando-se no esquema de Caixas Postais.

O Capítulo 5 descreve o controle do CT sobre os ADs através das palavras de controle.

O Capítulo 6 descreve a interação dinâmica entre o CT e os ADs, do computador ASTRO L-V2, na solução dos problemas típicos para os quais sua arquitetura foi projetada.

O Apêndice A descreve o código necessário para a transferência de dados do CT para os ADs através da Memória de Comunicação.

O Apêndice B descreve o código necessário para transferência de dados de um AD para o CT e para os outros ADs através da Memória de Comunicação.

O Apêndice C descreve o código necessário para o envio de Palavra de Controle do CT para um determinado AD.

O Apêndice D descreve os endereços das interfaces com periféricos e os sinais de controle utilizados pela CPU do CT e pela CPU dos ADs.

Os apêndices descrevem os detalhes de programas e endereços de periféricos do computador ASTRO L-V2. Devido à estreita ligação com o hardware, recomenda-se a consulta, sempre que necessário, do manual que descreve a família 9900 (TEXAS INSTRUMENTS, 1978), a partir da qual foi construído o computador ASTRO L-V2.

CAPÍTULO 2

ARQUITETURA DO COMPUTADOR ASTRO L-V2

O computador ASTRO L-V2 é um sistema multiprocessador composto de uma unidade mestre, denominada Controlador (CT), e até 63 unidades de processamento paralelo, denominadas Analisadores Digitais (ADs).

A versão atual do computador ASTRO L-V2 é composta de um CT, três ADs, um sistema de armazenamento secundário, composto por dois acionadores de disquetes, um terminal de supervisão e uma impressora. O ASTRO L-V2 tem ainda interfaces para ligação com computadores de propósito geral. A Figura 2.1 mostra em blocos a arquitetura do computador ASTRO L-V2.

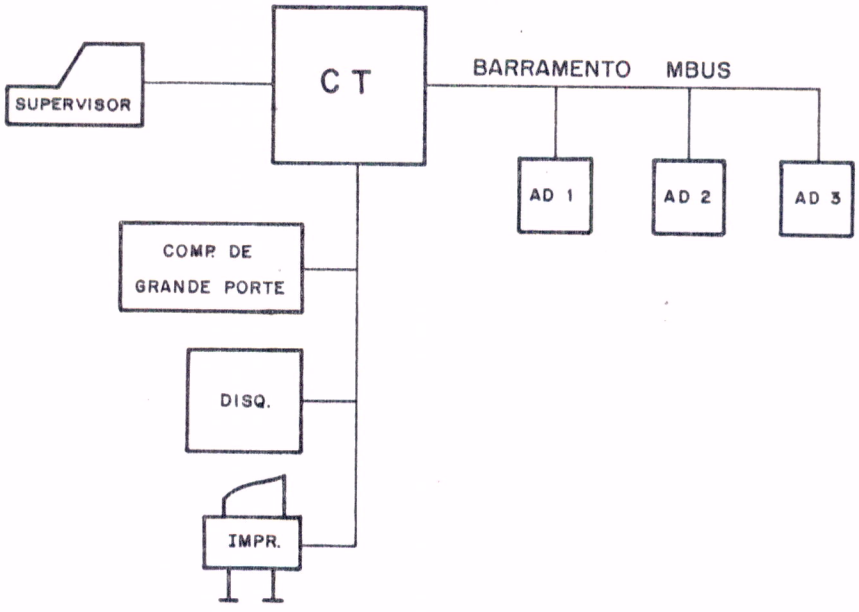


Fig. 2.1: Arquitetura do computador ASTRO L-V2.

As unidades de processamento (CT e ADs) do computador ASTRO L-V2 são ligadas através de um barramento único, denominado MBUS. Toda comunicação entre as unidades de processamento que compõem o ASTRO L-V2 passa necessariamente pelo barramento MBUS.

O CT tem por funções o controle dos ADs e do barramento MBUS, e a comunicação com o mundo externo. A comunicação entre o CT e os ADs é feita através de Memória de Comunicação para a transferência de dados (ver Capítulo 4) e através de Palavras de Controle para o envio de comandos (ver Capítulo 5).

Os ADs têm por função a realização de cálculo sob controle do CT.

Detalhes sobre a construção do CT e dos ADs podem ser encontrados em (DIEHL e PEREZ, 1987).

O sistema de armazenamento secundário tem por funções o armazenamento de dados de entrada e saída de problemas executados no ASTRO L-V2 e o armazenamento de programas transientes (que são carregados na memória e executados quando necessários).

O computador ASTRO L-V2 está ligado a dois computadores de uso geral: Burroughs B-6800, onde existe um montador cruzado para Assembly 9900, e HP1000, que permite a utilização dos recursos disponíveis na estação de desenvolvimento HP64000.

CAPÍTULO 3

MAPAS DE MEMÓRIA

O microprocessador TMS 9900, a partir do qual são construídos o CT e os ADs do computador ASTRO L-V2, pode endereçar diretamente 32K palavras de 16 bits. A seguir, são descritos os mapas de memória do CT e dos ADs.

3.1- MAPA DE MEMÓRIA DO CT

O mapa de memória do CT é mostrado na Figura 3.1 e descrito abaixo:

0000H a 3FDEH: (aproximadamente 8K palavras) Memória EPROM, contém os programas residentes do software do ASTRO L-V2.

3FE0H a 3FFEH: utilizada como memória mapeada para comunicação com a unidade de processamento aritmético INTEL 8231 (UPA 8231), para comunicação com a unidade de E/S paralela INTEL 8255 e para acessar diversos registros de controle do CT e dos ADs. (Ver descrição e endereços no Apêndice D, Tabela D.1).

4000H a 7FFEH: (8K palavras) Memória RAM, área de trabalho para dados ou programas transientes.

8000H a B7FEH: (7K palavras) Memória RAM, placa de expansão de memória.

B800H a BFFEH: (1K palavras) Memória de Controle (ver Capítulo 5). Como a Memória de Controle é usada eventualmente (só quando o CT quer enviar comandos aos ADs), existe um sinal de controle (AMC; ver Apêndice D, Tabela D.2) que permite a utilização desse espaço de endereçamento para endereçar uma memória RAM. Deste modo, essa área pode ser usada normalmente como RAM, e quando se quer escrever na memória de controle (para enviar um comando a um determinado AD, por exemplo), esse sinal deve ser acionado para permitir o acesso à memória de controle.

C000H a DFFEH: (4K palavras) memória RAM, placa de expansão de memória.

E000H a FFFEH: (4K palavras) Memória de Comunicação (ver Capítulo 4).

Em resumo, a área disponível para a programação do CT é a seguinte:

EPROM: aproximadamente 8K palavras.
de: 0000H a 3FDEH

RAM: aproximadamente 19K palavras.
de: 4000H a B7FEH: 15K palavras
C000H a DFFEH: 4K palavras.

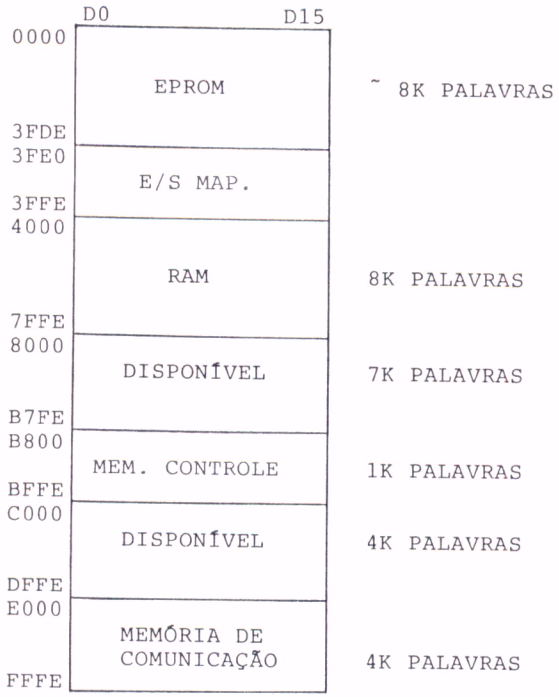


Fig. 3.1: Mapa de memória do CT.

3.2- MAPA DE MEMÓRIA DO ANALISADOR DIGITAL (AD)

O mapa de memória dos ADs é mostrado na Figura 3.2.

A alocação de memória nos ADs é similar à alocação de memória no CT, exceto que neles não há placa de expansão de memória instalada, nem área reservada para memória de controle. Além disto, a área reservada para E/S mapeada em memória é menor, pois os ADs só têm a unidade de processamento aritmético e um registro de controle, acessáveis por endereços mapeados em memória. (Ver Apêndice D, Tabela D.3).

Assim, a disponibilidade de memória para programação nos ADs é a seguinte:

EPROM: aproximadamente 8K palavras
de: 0000H a 3FEEH

RAM: 8K palavras
de: 4000H a 7FFEH

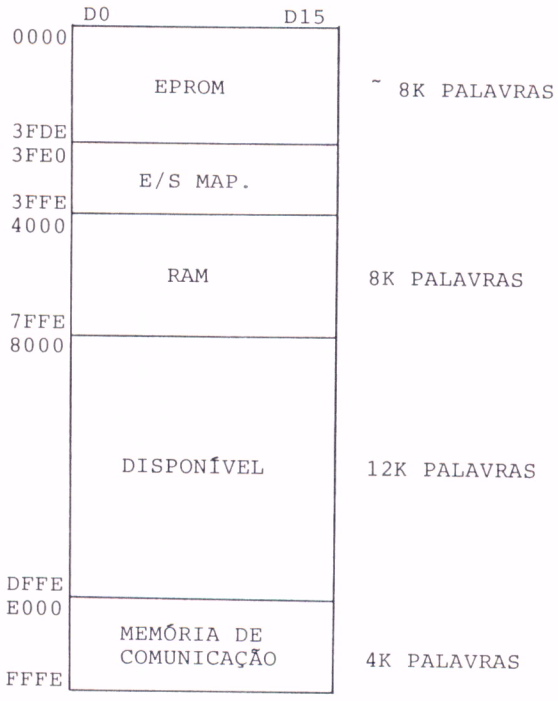


Fig. 3.2: Mapa de memória dos ADs.

CAPÍTULO 4

MEMÓRIA DE COMUNICAÇÃO

A área de endereços E000H a FFFEH (4K palavras) é utilizada no Controlador (CT) e nos Analisadores Digitais (ADs) como Memória de Comunicação (MC).

Devido aos problemas que o computador ASTRO L-V2 se propõe a resolver (ver Capítulo 6), a comunicação entre os processadores é feita através de "broadcast", em que uma unidade transmite seus dados e todas as outras os recebem, através de suas respectivas memórias de comunicação. Além disto, os dados enviados por uma determinada unidade são colocados sempre em áreas específicas da Memória de Comunicação, áreas estas chamadas Caixas Postais. A Figura 4.1 mostra a alocação da MC em caixas postais para a versão máxima do ASTRO L-V2, com 63 ADs. Neste caso, a caixa postal de cada unidade tem 64 palavras.

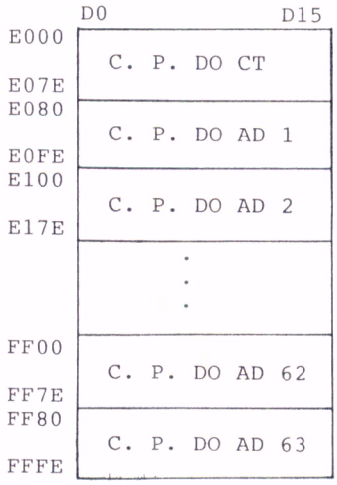


Fig. 4.1: Alocação da MC em caixas postais.

Para permitir o processamento local e a comunicação simultaneamente, a MC é duplicada em cada unidade, de modo que numa fase a unidade faz referência a uma imagem da MC e na seguinte, a unidade faz referência a outra imagem da MC, como mostra a Figura 4.2.

Na Figura 4.2 (a), cada unidade de processamento acessa a página MC1 de sua Memória de Comunicação e o MBUS acessa a página MC0 de todas a unidades. Assim, pode ocorrer transferência de dados entre as páginas MC0 (sob controle do MBUS) concorrentemente com processamento local. Na Figura 4.2 (b), há o chaveamento simultâneo de todas as páginas da Memória de Comunicação. Assim, as unidades de processamento podem acessar as informações que receberam enquanto a página MC0 estava sob controle do MBUS.

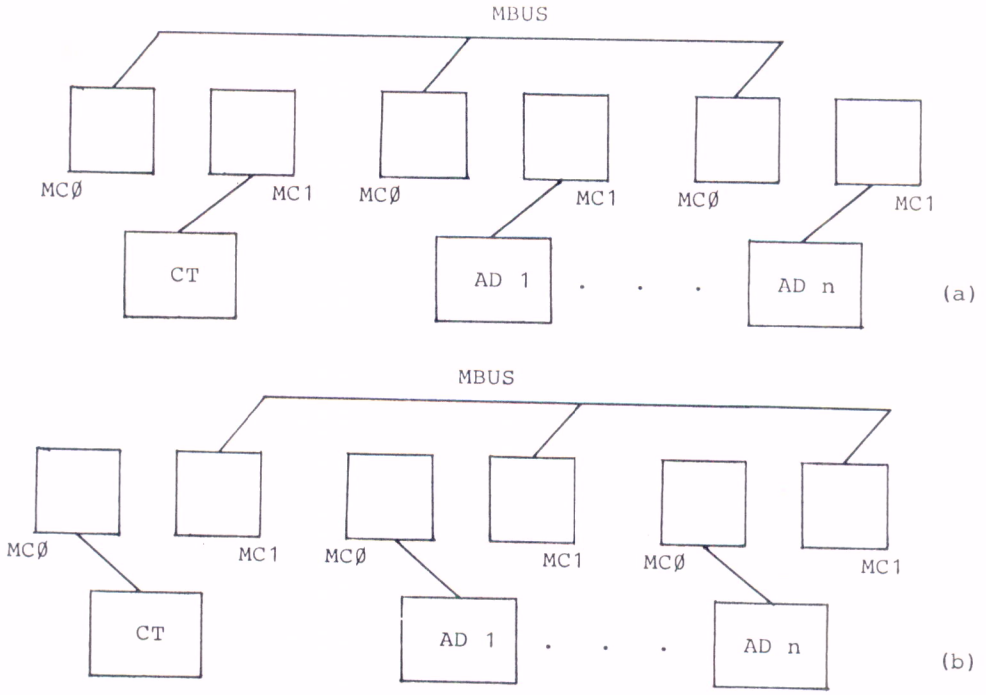
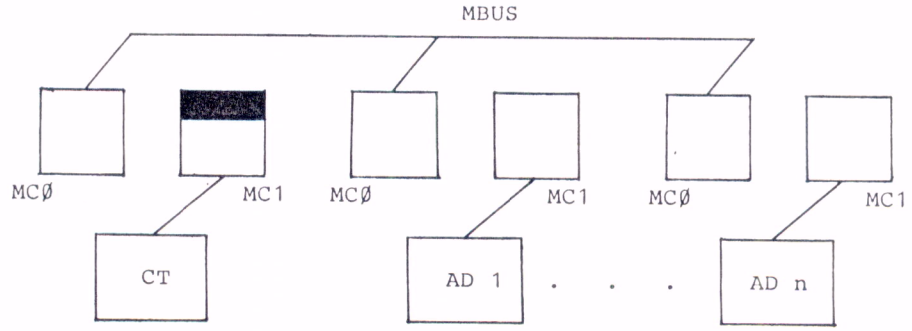


Fig. 4.2: Chaveamento da Memória de Comunicação (MC).

4.1- TRANSMISSÃO DE DADOS DO CT PARA OS ADS

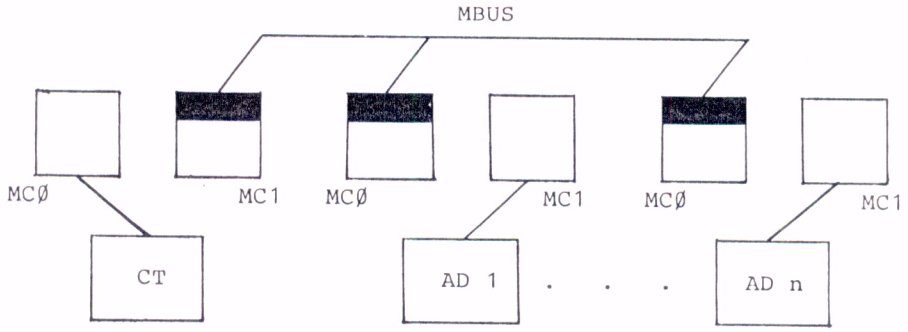
O mecanismo de transmissão de dados do CT para os ADs é descrito a seguir:

PASSO 1: O CT preenche a área da Memória de Comunicação que deve ser enviada aos ADs.

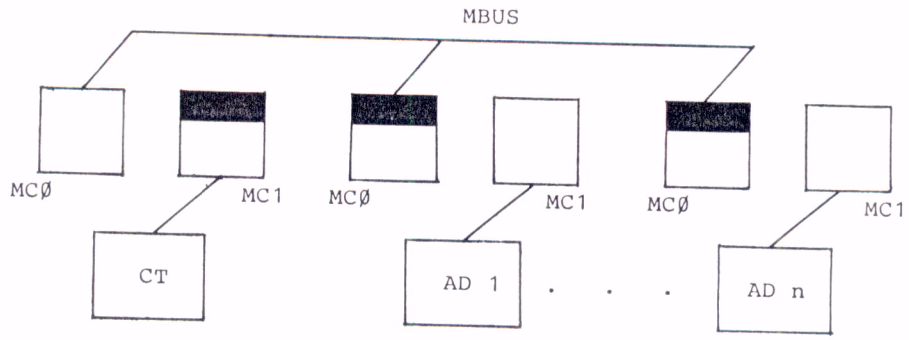


PASSO 2: O CT troca de imagem de Memória de Comunicação. Agora MC1 (a que contém os dados a serem enviados) está sob controle do MBUS.

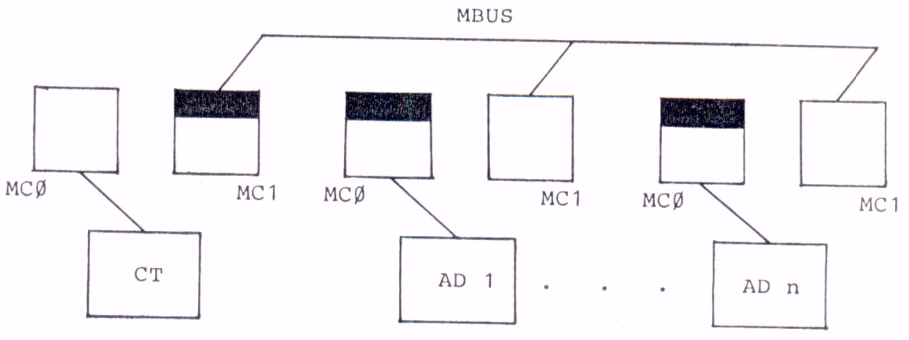
O conteúdo de MC1 é transmitido, via MBUS, através de DMA, para todos os ADs.



PASSO 3: O CT troca novamente de imagem da Memória de Comunicação para voltar ao contexto inicial.



PASSO 4: O CT troca a imagem da Memória de Comunicação de todas as unidades (através de um sinal comandado por software). Assim, os ADs podem acessar as informações que foram transmitidas pelo CT.



Nota-se, pela descrição acima, que o envio de dados do CT para os ADs é totalmente transparente para os ADs. Deste modo, os passos 1, 2 e 3 podem ser efetuados enquanto os ADs estão realizando o processamento local, já que estes passos não interferem no processamento dos ADs.

Observações:

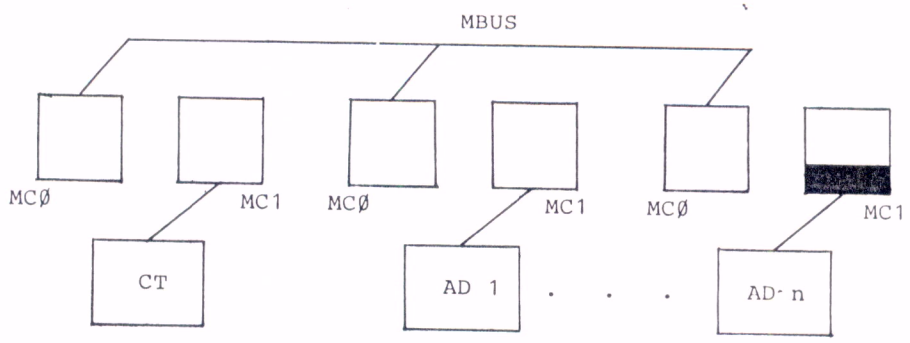
- O endereço inicial e o número de palavras da área de Memória de Comunicação do CT a ser transmitida são programados pelo CT antes do disparo da transferência por DMA. O endereço inicial é o mesmo para todas as unidades.

- O Apêndice A lista o programa que realiza a transferência de dados do CT para os ADs.

4.2- TRANSMISSÃO DE DADOS DE UM DETERMINADO AD PARA O CT E PARA OS OUTROS ADs

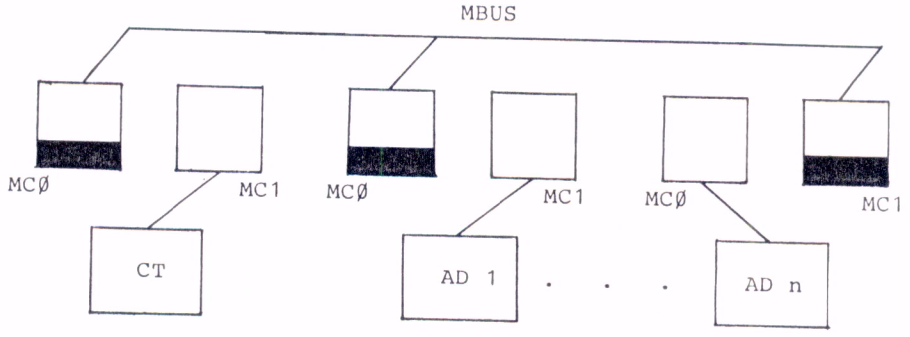
Para ilustrar o mecanismo de transmissão de dados de um determinado AD para o CT e para os demais ADs, é mostrado abaixo o mecanismo de transmissão de dados do n-ésimo AD:

PASSO 1: O AD n preenche o campo de Memória de Comunicação que deve ser enviado ao CT e aos outros ADs. (Durante a realização de cálculo, esse campo pertence à caixa postal do AD n).

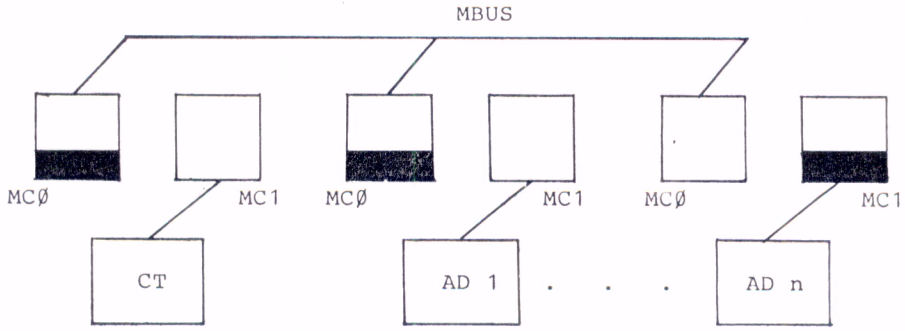


PASSO 2: O AD n faz um pedido de barramento ao CT e, quando atendido, é feita a troca de imagem da Memória de Comunicação (a MC1, que contém os dados a serem enviados, fica sob controle do MBUS), através de um sinal comandado pelo CT.

O conteúdo da MC1 do AD n é transmitido a todas as outras unidades de processamento, via MBUS, através de ADM, comandado pelo CT.



PASSO 3: O contexto inicial é restaurado por sinal comandado pelo CT. Depois deste passo, o CT fica pronto para fazer a transferência de dados dos outros ADs (caso haja pedido de barramento). Os dados transferidos por um AD só vão ser acessáveis pelas outras unidades quando houver a troca da imagem da Memória de Comunicação de todas as unidades.



Observações:

- O endereço inicial e o número de palavras da área de Memória de Comunicação do AD a serem transmitidas são programados pelo CT antes do disparo da transferência por DMA. O endereço inicial é o mesmo para todas as unidades.

- O mecanismo descrito acima é valido para todos os ADs.

- O Apêndice B lista o programa que realiza a transferência de dados de um determinado AD para o CT e para os outros ADs.

CAPÍTULO 5

MEMÓRIA DE CONTROLE

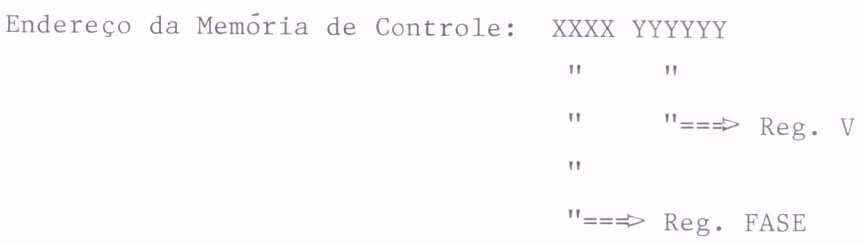
O Controlador (CT) pode enviar comandos aos Analisadores Digitais (ADs) através de **Palavras de Controle.** Quando uma palavra de controle é enviada a um determinado AD, é gerada neste AD uma interrupção que permite que uma rotina de interpretação de palavra de controle seja executada e realize o comando associado ao conteúdo desta palavra de controle.

Como a palavra de controle tem 16 bits, até 65536 comandos diferentes podem ser enviados aos ADs. Como exemplo de comandos existentes no software atual do ASTRO L-V2 cita-se o comando Ler. Este determina que o AD leia a área de endereço inicial igual ao conteúdo da primeira posição da Memória de Comunicação e endereço final igual ao conteúdo da segunda posição da Memória de Comunicação, e copie esta área na Memória de Comunicação; este comando permite que o CT leia o conteúdo de qualquer posição de memória dos ADs, sendo usado para depuração de programas.

Para permitir o envio de palavras de controle aos ADs, foi implementada no CT uma **Memória de Controle.**

A Memória de Controle ocupa a área de endereço B800H a BFEEH (1K palavras). Esta área de memória é dividida em 16 blocos de 64 palavras (1 palavra para cada AD na versão final), permitindo que palavras de controle sejam enviadas aos ADs em 16 fases de cálculo.

O endereçamento dessa memória é esquematizado abaixo:



O registro FASE (0 a 15) indica a que fase de cálculo pertence a palavra de controle a ser enviada a determinado AD.

O registro V indica a qual AD vai ser enviada a palavra de controle (0 a 63).

Uma palavra de controle é enviada a um determinado AD através do sinal RNC (ver Apêndice D). Quando este sinal é ativado, a palavra de controle endereçada pelo Registro FASE e pelo Registro V é enviada ao AD endereçado pelo Registro V. A chegada da palavra de controle neste AD faz com que um sinal de interrupção (CTRLINT; ver Apêndice D, Tabela D.4) seja gerado. A rotina de interpretação de palavra de controle, acionada por esta interrupção, deve interpretar convenientemente o conteúdo da palavra de controle e executar o comando enviado pelo CT.

Quando um AD recebe uma palavra de controle, ele deve desativar a interrupção CTRLINT, através do sinal CTRLINTACK (ver Apêndice D, Tabela D.4). O CT monitora este sinal e sabe que o AD recebeu o comando quando CTRLINTACK é ativado.

Detalhes sobre a implementação da Memória de Controle podem ser encontrados em (DIEHL e PEREZ, 87)

No Apêndice C é listado o programa que envia uma palavra de controle a um determinado AD.

CAPÍTULO 6

FUNCIONAMENTO DINÂMICO DO ASTRO L-V2

O computador ASTRO L-V2 foi projetado para resolver problemas que podem ser decompostos em tarefas paralelas, realizadas iterativamente, com comunicação entre elas no final de cada iteração. Cada tarefa é executada por um AD. Todos os ADs iniciam o cálculo de suas tarefas de modo síncrono, sob comando do CT, e a medida que cada um deles o termina, envia o resultado para os demais ADs e para o CT.

Uma classe de problemas que pode ser resolvida eficientemente pelo computador ASTRO L-V2 é a solução numérica de um sistema de equações diferenciais. (DIEHL,1987).

De maneira genérica, a solução de um problema pelo Computador ASTRO L-V2 é realizada conforme o diagrama de tempo do fluxo de processamento descrito na Figura 6.1

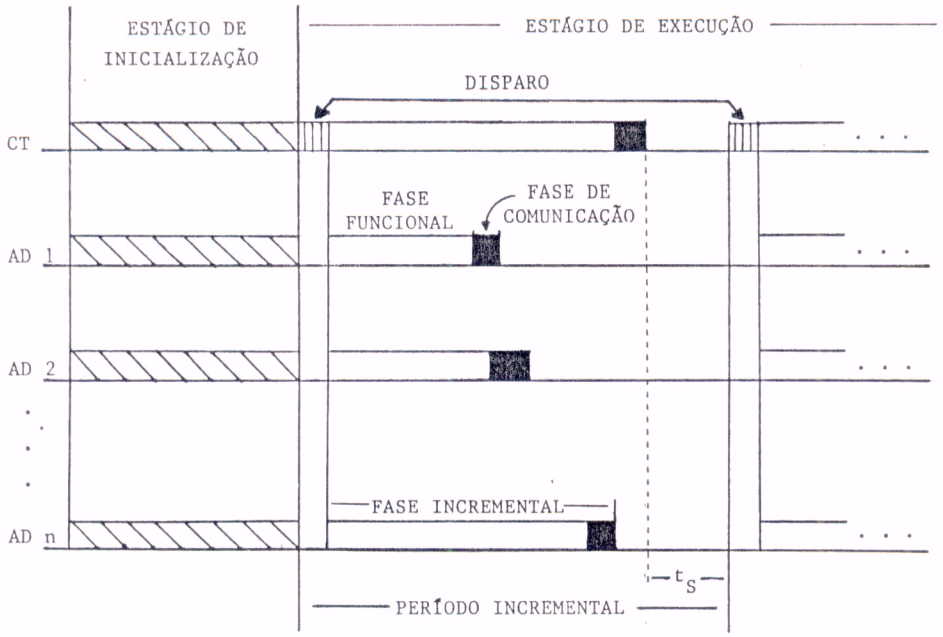


Fig. 6.1: Diagrama de tempo do fluxo de processamento do ASTRO L-V2.

No Estágio de Inicialização, o CT deve carregar, em cada AD que participa do cálculo, as tarefas que lhe couberam na divisão do problema. Para enviar dados aos ADs, inicialmente o CT deve transferir estes dados para a sua Memória de Comunicação e, então, enviá-los à Memória de Comunicação dos ADs, como descrito no Capítulo 4. Assim, os dados estarão na Memória de Comunicação de todos os ADs; para carregar dados num determinado AD, basta que o CT envie uma palavra de controle a este AD, especificando que ele deve copiar os dados da sua Memória de Comunicação para a sua memória interna. Com este procedimento, repetido para cada AD que participa do cálculo, pode-se carregar as tarefas de cada AD, realizando desta forma o Estágio de Inicialização.

O Estágio de Execução é caracterizado pela repetição síncrona de uma Fase Funcional (Fase Funcional é a fase em que cada unidade de processamento realiza as tarefas que lhe couberam na divisão do problema, sendo que a Fase Funcional do CT é usada para tarefas de gerenciamento do cálculo, enquanto que a Fase Funcional dos ADs é usada para realização do cálculo propriamente dito) e de uma Fase de Comunicação (Fase de Comunicação é a fase em que cada unidade de processamento envia às outras os dados gerados na Fase Funcional recém-executada) nas unidades de processamento do computador ASTRO L-V2.

O início de uma Fase Funcional nos ADs é sincronizado pelo CT através da interrupção INIFASE (ver Apêndice D, Tabela D.4). Para que os ADs reconheçam esta interrupção, é preciso antes desmascará-la em cada AD. Isto deve ser feito antes do início do Estágio de Execução, enviando uma palavra de controle a cada AD, palavra esta que, quando interpretada, indica que o AD deve desmascarar a interrupção gerada pelo sinal INIFASE. Depois deste procedimento, basta que o CT envie um sinal INIFASE (ver Apêndice D, Tabela D.2) para que uma Fase Funcional seja iniciada em todos os ADs. Note que a Fase Funcional dos ADs nada mais é que o atendimento da interrupção INIFASE, provocada em todos os ADs ao mesmo tempo por um sinal do CT. Portanto, a rotina de atendimento da interrupção INIFASE

em cada AD deve realizar a Fase Funcional. Esta rotina pode ser carregada pelo CT no Estágio de Inicialização, permitindo que a Fase Funcional execute as tarefas que couberam a cada AD na divisão do problema que está sendo resolvido.

Depois de executada a Fase Funcional, cada unidade deve realizar a Fase de Comunicação. Para que o CT realize sua Fase de Comunicação, basta que ele envie seus dados para sua caixa postal na Memória de Comunicação de todos os ADs, como descrito no Capítulo 4. Para que o AD realize sua Fase de Comunicação, basta que ele faça um pedido de barramento (ver Apêndice B) ao CT para que os dados de sua caixa postal na sua Memória de Comunicação sejam enviados à sua caixa postal na Memória de Comunicação de todas as outras unidades, como descrito no Capítulo 4. Note que os dados enviados por uma unidade só estarão disponíveis às outras unidades quando houver um chaveamento nas páginas da Memória de Comunicação, já que eles foram enviados para a página de Memória de Comunicação sob controle do MBUS. Este chaveamento é realizado pelo sinal INIFASE, que iniciará a próxima Fase Funcional, permitindo que esta Fase Funcional seja realizada utilizando os dados recebidos na Fase Funcional anterior.

A realização de uma Fase Funcional e de uma Fase de Comunicação numa determinada unidade é chamada de Fase Incremental. Quando todas as unidades realizaram a Fase Incremental, completa-se um Período Incremental. Os Períodos Incrementais se repetem até que a condição de término do cálculo seja verificada. Quando não há sincronização externa (na Figura 6.1, t_S=0), o próximo Período Incremental se inicia assim que todas as unidades realizaram a Fase Incremental; se há sincronização externa, o próximo Período Incremental é iniciado quando houver a sinalização externa. Neste caso, t_S>=0.

REFERÊNCIAS BIBLIOGRÁFICAS

DIEHL, J. B. *"Computador ASTRO L-V2 Cálculo da Solução Numérica de Sistemas de Equações Diferenciais"*. São José dos Campos,INPE,1987. (no prelo)

———; PEREZ, J. S. *"Computador ASTRO L-V2 Descrição de Hardware"*. São José dos Campos,INPE,1987. (no prelo).

TEXAS INSTRUMENTS. *"9900 Family Systems Design"*. Houston, Texas, 1978.

APÊNDICE A

TRANSFERÊNCIA DE DADOS DO CT PARA OS ADs ATRAVÉS DA MEMÓRIA DE COMUNICAÇÃO

Inicialmente o CT preenche a área de Memória de Comunicação (MC) a ser enviada aos ADs. Suponha que o endereço inicial desta área seja E000H e o número de palavras a serem transmitidas seja 128. O fluxograma do programa de transferência de dados da Memória de Comunicação do CT para a Memória de Comunicação de todos os ADs é apresentado na Figura A.1. Os números entre parêntesis referem-se aos dados do programa descrito a seguir.

Programa que transmite 128 palavras a partir de E000H da MC do CT para a MC de todos os ADs:

```
LI    R3,E000H      ; R3= END. INICIAL DA ÁREA A
                    ; SER TRANSMITIDA
MOV   R3,@3FF4H     ; COLOCA R3 NO REG. DE END. BASE
                    ; DE ADM.
LI    R12,1E00H     ; R12=ENDEREÇO DE CRU DA IPS 9901
SBZ   13H           ; PULSO QUE ENVIA REG. DE END. DE
SBO   13H           ; BASE PARA TODOS OS ADS.
LI    R3,128        ; R3= NRO DE PALAVRAS A SEREM
                    ; TRANSMITIDAS
MOV   R3,@3FF2H     ; COLOCA R3 NO REG. DE CONTADOR DE
                    ; DESLOCAMENTO (NRO DE PALAVRAS A
                    ; SEREM TRANSMITIDAS PELO ADM).
SBZ   19H           ; TROCA DE IMAGEM DA MC
                    ; APENAS NO CT
```

```
        SBZ   18H          ; PULSO QUE DISPARA TRANSMISSÃO
        SBO   18H          ; POR DMA.
ESPERA  TB    1BH          ; TESTA SE TERMINOU
        JEQ   ESPERA       ; TRANSMISSÃO POR DMA
        SBO   19H          ; TROCA DE IMAGEM DA MC APENAS NO
                           ; CT (VOLTA AO CONTEXTO INICIAL)
        SBZ   15H          ; TROCA DE IMAGEM DA MC
        SBO   15H          ; EM TODAS AS UNIDADES
```

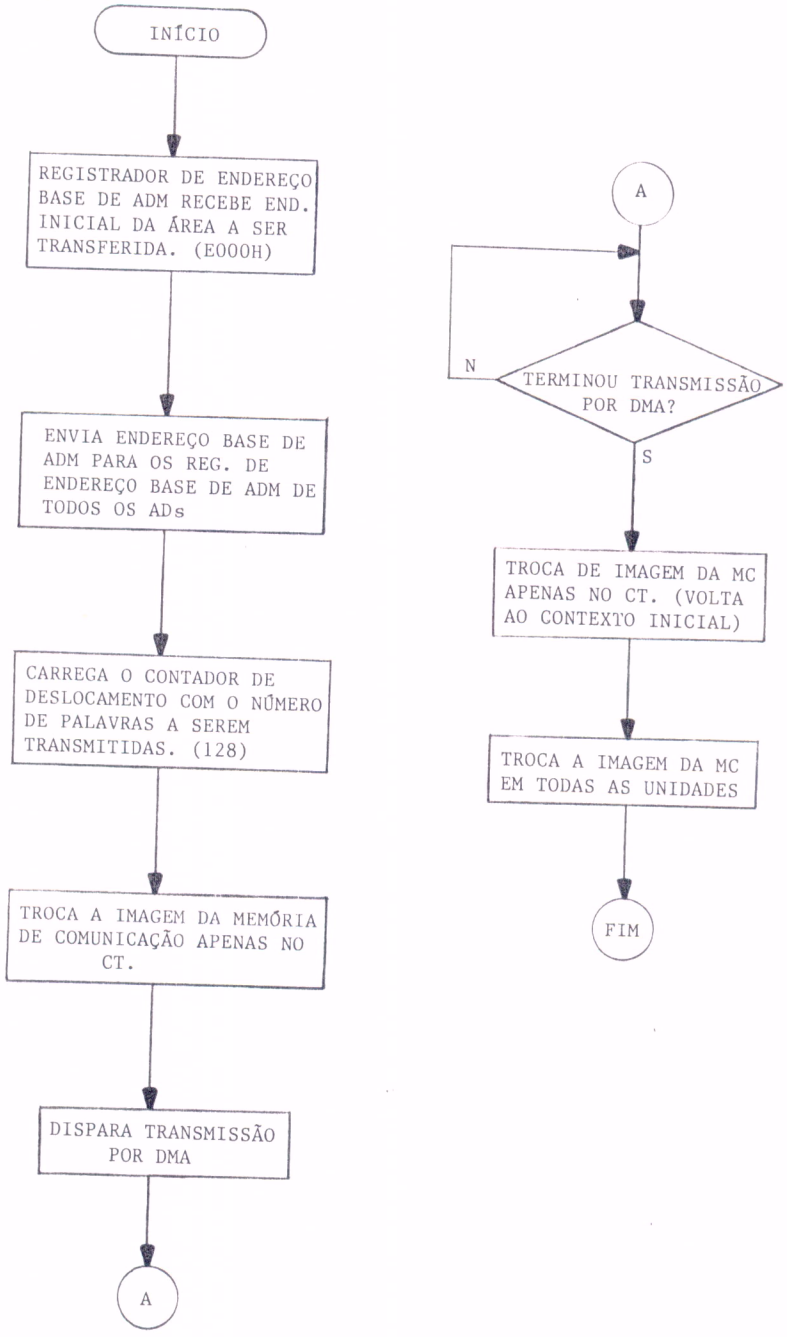


Fig. A.1: Fluxograma do programa de transferência de dados da Memória de Comunicação do CT para a Memória de Comunicação de todos os ADs.

APÊNDICE B

TRANSFERÊNCIA DE DADOS DO ADi PARA O CT E PARA OS DEMAIS ADs

A transferência de dados do ADi para o CT e para os demais ADs é realizada através da caixa postal do AD i. Depois que o AD i atualiza a sua caixa postal, basta que ele sinalize um pedido de barramento para que o CT faça a transferência de dados.

Para sinalizar um pedido de barramento, basta que o AD i execute o programa:

```
LI   R12,1E00H    ; R12=ENDEREÇO DE CRU DA IPS 9901
SBZ  12H          ; SINALIZA PEDIDO DE
SBO  12H          ; BARRAMENTO
```

Quando o CT recebe o pedido de barramento, um registrador é atualizado com o número do AD que pediu barramento (Registro V, endereço 3FF0H). A partir daí, o CT calcula o endereço da caixa postal do AD que pediu barramento e faz a transferência de dados.

Supondo-se que o AD 2 vai transmitir seus dados, tem-se o endereço da caixa postal igual a E100H. O fluxograma do programa que realiza a transferência de dados do AD 2 para o CT e para os demais ADs é apresentado a seguir (Figura B.1).

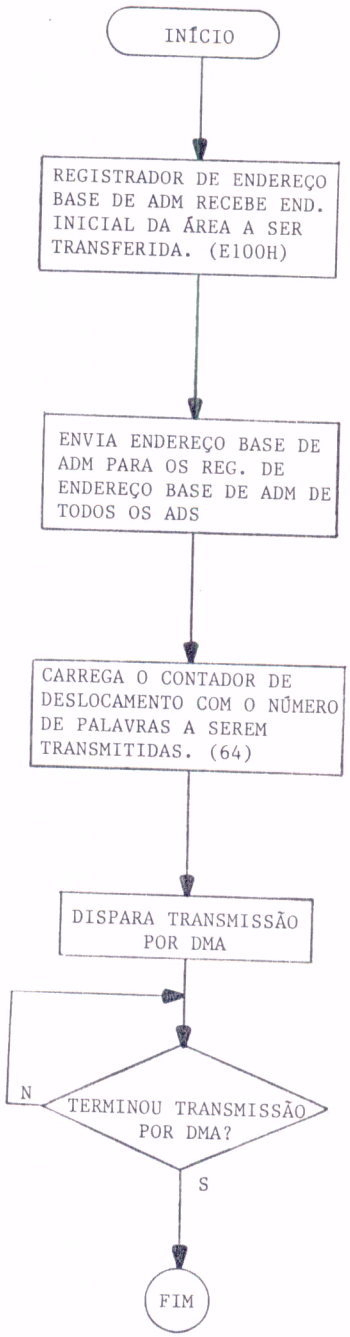


Fig. B.1: Fluxograma do programa de transferência de dados do AD 2 para o CT e para os demais ADs.

O programa que realiza a transferência de dados do AD2 para o CT e para todos os outros ADs é listado abaixo:

```
        LI   R12,1E00H    ; R12=ENDEREÇO DE CRU DA IPS 9901
        LI   R3,E100H     ; R3=ENDEREÇO DA CAIXA POSTAL DO
                          ; AD QUE VAI TRANSMITIR
        MOV  R3,@3FF4H    ; COLOCA R3 NO REG. DE ENDEREÇO
                          ; INICIAL DE DMA
                          ; (REG. DE END. DE BASE)
        SBZ  13H          ; PULSO QUE ENVIA REG. DE END.
        SBO  13H          ; DE BASE PARA TODOS OS ADs.
        LI   R3,64        ; R3= NRO DE PAL. A SEREM TRANSM.
                          ; (TAMANHO DA CX. POSTAL DOS ADS)
        MOV  R3,3FF2H     ; COLOCA R3 NO REG. DE NRO DE
                          ; PAL. A SEREM TRANSMITIDAS
        SBZ  18H          ; PULSO QUE DISPARA
        SBO  18H          ; TRANSMISSÃO POR DMA
ESPERA  TB   1BH          ; TESTA SE TERMINOU
        JEQ  ESPERA       ; TRANSMISSÃO POR DMA
         .
         .
         .
```

Observação:

- Quando o pedido de barramento de um AD é atendido, ele é colocado automaticamente no modo transmissão, por isto basta que o CT programe o endereço inicial de transferência e o número de palavras a serem transmitidas, e dispare o DMA para que a transmissão seja efetuada.

APÊNDICE C

ENVIO DE UMA PALAVRA DE CONTROLE A UM DETERMINADO AD

O fluxograma do programa que envia uma palavra de controle para o AD **NAD** na Fase **F** é apresentado na Figura C.1.

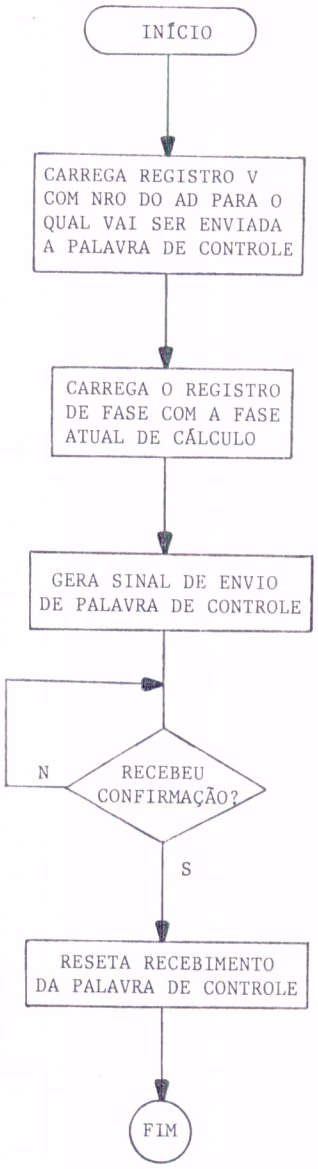


Fig. C.1: Fluxograma do programa que envia uma palavra de controle para uma determinado AD.

O programa que envia uma palavra de controle para o AD **NAD** na FASE **F** consta de:

1)- Carga do registro V: (6 bits menos signi- ficativos do endereço da Memória de Controle)

```
        LI   R3,NAD        ; R3=NÚMERO DO AD
        MOV  R3,@3FF8H     ; REG. V (ENDEREÇO 3FF8H)
                           ; RECEBE R3
```

2)- Carga da Fase: (4 bits menos significativos do endereço da Memória de Controle)

```
        LI   R3,F          ; R3=FASE
        MOV  R3,@3FF6H     ; REG. FASE (ENDEREÇO 3FF6H)
                           ; RECEBE R3
```

3)- Envio da Palavra de Controle

```
        LI   R12,1E00H     ; R12=ENDEREÇO DE CRU DA IPS 9901
        SBZ  11H           ; PULSO QUE ENVIA PALAVRA
        SBO  11H           ; DE CONTROLE
```

4)- Espera para que o AD confirme o recebimento da Palavra de Controle

```
ESPERA  TB   1CH           ; TESTA SE AD RECEBEU
        JNE  ESPERA        ; PALAVRA DE CONTROLE
```

5)- Sinaliza o recebimento da Palavra de Controle

```
SBZ   1AH          ; PULSO QUE RESETA RECEBIMENTO
SBO   1AH          ; DA PALAVRA DE CONTROLE
```

Observação:

- Para atualizar a Memória de Controle (com a Palavra de Controle a ser enviada) deve-se utilizar o programa:

```
LI    R12,1E00H    ; R12=ENDEREÇO DE CRU DA IPS 9901
SBZ   17H          ; HABILITA ACESSO A MEM. CONT.
MOV   @PAL,@B800H+ENDER*2
SBO   17H          ; DESAB. ACESSO A MEM. CONT.
```

onde:

PAL: contém a Palavra de Controle a ser enviada.

ENDER: é o endereço da Memória de Controle onde a palavra vai ser colocada (composto pelo Registro de Fase e pelo Registro V, conforme indicado no Capítulo 5).

B800H: é o endereço de base da Memória de Controle

APÊNDICE D

ESPECIFICAÇÕES DO ASTRO L-V2, INTERFACES COM PERIFÉRICOS E SINAIS DE CONTROLE

As tabelas a seguir listam as principais características do Sistema ASTRO L-V2, bem como os endereços das interfaces com periféricos e os sinais de controle utilizados pelo Controlador e pelos Analisadores Digitais.

Detalhes de hardware do Sistema ASTRO L-V2 podem ser encontrados em (DIEHL e PEREZ, 1987).

D.1- ESPECIFICAÇÕES DO CONTROLADOR

A **Tabela D.1** lista as principais especificações do Controlador do ASTRO L-V2.

Comentários a respeito da Tabela D.1:

a)- O gravador analógico está desativado.

b)- As interrupções de nível 1 e 5 são compartilhadas por diversos periféricos. Assim, ao ocorrer uma destas interrupções, deve ser lido um vetor que endereça a rotina de atendimento específica do periférico que causou a interrupção. Essa leitura é feita no endereço 3FE4H para a interrupção de nível 1 e no endereço 3FE6H para a interrupção de nível 5.

A rotina de atendimento da interrupção de nível 1, por exemplo, deve ser da forma:

```
MOV    @3FE4H,R1      ; LEITURA DO VETOR DA TABELA
                      ; DE SALTOS DA INT. DE NÍVEL 1
BLWP   *R1            ; EXECUÇÃO DA ROTINA DE ATEND.
                      ; DA INT. DE NIVEL 1.
RTWP                  ; RETORNO
```

O endereço lido em §3FE4H, endereço no qual devem estar os endereços do Workspace e do início da rotina de atendimento da interrupção do periférico que causou a interrupção é especificado através de "dip-switch" (base) e do conteúdo fornecido pelo decodificador de prioridade (deslocamento).

Por exemplo, no software atual, no caso da interrupção de nível 1, o endereço base ("dip-switch") é 0FE0H. Assim, se o conteúdo lido no registrador 3FE4H é 0FE0H, ocorreu uma interrupção do periférico 1 ligado à interrupção de nível 1. Se o conteúdo for 0FE4H, ocorreu uma interrupção do periférico 2 ligado à interrupção de nível 1, e assim por diante.

A área de memória a partir de 0FE0H contém:

```
0FE0H: WP DA ROTINA DE ATENDIMENTO DA INT. DO
       PERIFÉRICO 1 LIGADO À INT. DE NÍVEL 1.
0FE2H: PC DA ROTINA DE ATENDIMENTO DA INT. DO
       PERIFÉRICO 1 LIGADO À INT. DE NÍVEL 1.
0FE4H: WP DA ROTINA DE ATENDIMENTO DA INT. DO
       PERIFÉRICO 2 LIGADO À INT. DE NÍVEL 1.
0FE6H: PC DA ROTINA DE ATENDIMENTO DA INT. DO
       PERIFÉRICO 2 LIGADO À INT. DE NÍVEL 1.
.
.
.
```

As interrupções dos periféricos ligados às interrupções de nível 1 e de nível 5 podem ser mascaradas individualmente escrevendo (através de CRU) nos registros de desmascaramento, conforme especificado na Tabela D.1.

c)- O Registro V deve ser lido quando há um pedido de barramento pendente (PNI ativo, ver Tabela D.2), para verificar qual AD ganhou acesso ao barramento MBUS dentre os que o estão solicitando no momento.

A **Tabela D.2** lista os sinais de controle da CPU do Controlador.

D.2- ESPECIFICAÇÕES DO ANALISADOR DIGITAL

A **Tabela D.3** lista as principais especificações dos Analisadores Digitais do ASTRO L-V2.

A **Tabela D.4** lista os sinais de controle da CPU dos Analisadores Digitais.

TABELA D.1

ESPECIFICAÇÕES GERAIS DO CONTROLADOR

PARÂMETRO	ESPECIFICAÇÃO
Tamanho da Palavra de dados	16 bits
Relógio do Sistema	3,6864 MHz
ENDER. MEMÓRIA	
EPROM	0000 a 3FDF
RAM	4000 a 7FFF
Memória de Controle	B800 a BFFF
Mem. de Comunicação	E000 a FFFF
E/S mapeada em Mem.	3FE0/1 - escrita na porta A do MFE ou leitura na porta B do MFE. 3FE2/3 - escrita na porta C do MFE. 3FE4/5 - leitura do vetor de desvio à tabela de saltos da interrupção INT1. 3FE6/7 - leitura do vetor de desvio à tabela de saltos da interrupção INT5. 3FE8/9 a 3FEE/F - acesso ao 8255: Operações de Leitura: 3FE8/9: Port A ==> Data Bus 3FEA/B: Port B ==> Data Bus 3FEC/D: Port C ==> Data Bus 3FEE/F: ILEGAL Operações de Escrita: 3FE8/9: Data Bus ==> Port A 3FEA/B: Data Bus ==> Port B 3FEC/D: Data Bus ==> Port C 3FEE/F: Data Bus ==> Control 3FF0/1 - leitura do vetor V: informa o AD de maior prioridade. 3FF2/3 - escrita no Contador de Deslocamento: especifica o número total de palavras a serem transferidas pelo DMA.

(continua)

Tabela D.1 - Continuação

PARÂMETRO	ESPECIFICAÇÃO
E/S mapeada em Mem. (continuação)	3FF4/5 - escrita no Registro de Endereço Base: especifica o endereço inicial de transferência de dados por DMA ou o endereço lógico do AD que se quer acessar ou atualizar. 3FF6/7 - escrita no Registro de Fase: especifica qual o bloco da Memória de Controle a ser acessado. 3FF8/9 - escrita no Vetor V: especifica qual a palavra de controle dentro do bloco será enviada pelo CT. 3FFA/B - não usado. 3FFC/D - leitura ou escrita de dados* no processador aritmético UPA 8231A. 3FFE/F - leitura ou escrita de comandos no processador aritmético UPA 8231A. *Obs: na escrita de dados é necessário colocar em nível 0 a porta P13 da IPS 9901 (P13=INIBLEIT).
ENDEREÇOS DE CRU	
IPS 9901	1E00 - Os sinais de controle estão definidos na Tabela D.2.
Link B-6800	0000 - Interface TMS 9902 nro 1.
Console	0040 - Interface TMS 9902 nro 2.
Link HP1000	0080 - Interface TMS 9902 nro 3.
Disponível 1	00C0 - Interface TMS 9902 nro 4.
Disponível 2	0100 - Interface TMS 9902 nro 5.
Disponível 3	0140 - Interface TMS 9902 nro 6.
Impressora	0180 - Interface TMS 9902 nro 7.
Grav. Analógico	01C0 - bits 0 a 7 de dados/comandos. 01D0 - bit 0 (ativo alto): CS bit 1 : C/$\overline{D}$ bit 2 (ativo alto): RD bit 3 (ativo alto): WR bits 4 a 7: não usados.

(continua)

Tabela D.1 - Conclusão

PARÂMETRO	ESPECIFICAÇÃO
MÁSCARA DAS INTERRUPÇÕES	01E0: (desmascaramento: nível alto) bit 0 - MFE1 bit 1 - MFE2 bit 2 - RxRDyGV bit 3 - TxRDyGV bit 4 - P2C3 - 8255 bit 5 - P2C0 - 8255 bit 6 - P1C3 - 8255 bit 7 - P1C0 - 8255 01F0: (desmascaramento: nível alto) bit 0 - B-6800 bit 1 - Console bit 2 - HP1000 bit 3 - Disponível 1 bit 4 - Disponível 2 bit 5 - Disponível 3 bit 6 - Impressora bit 7 - não usado
ATENDIMENTO DAS INTERRUPÇÕES	Definição do conteúdo do ponteiro para tabela de saltos: A0 A1 A2 A3 A4 A5 A6 A7 A8 X X X X X X X X X A9 A10 A11 A12 A13 A14 A15 X X D D D 0 0 X: conteúdo especificado por dip-switch. D: conteúdo fornecido pelo decodificador de prioridade.

TABELA D.2

ESPECIFICAÇÕES DOS SINAIS DE CONTROLE DA CPU/CT

MNEMÔNICO	PORTA DA IPS 9901	E/S	DESCRIÇÃO
SELMP		S	realiza o chaveamento da Memória de Comunicação.
$\overline{\text{CTRLREC}}$	-	E	indica que um AD recebeu a palavra de controle; ele gera o sinal ADSTAT através da ativação de um Flip-Flop.
$\overline{\text{INT1}}$	INT1-01H	E	interrupção de nível 1 (E/S seriais).
$\overline{\text{INT2}}$	INT2-02H	E	interrupção de nível 2.
$\overline{\text{INT3}}$	INT3-03H	-	interrupção do temporiz. program.
$\overline{\text{INT4}}$	INT4-04H	E	interrupção de nível 4.
$\overline{\text{INT5}}$	INT5-05H	E	interrupção de nível 5.(MFE/GRAV, INTEL 8255)
$\overline{\text{ENDUPA}}$	INT6-06H	E	fim de operação da UPA 8231A.
$\overline{\text{PN1}}$	INT7-07H	E	pedido de MBUS efetuado pelos ADs
$\overline{\text{ENDACKUPA}}$	P14-1EH	S	resposta ao sinal de fim de operação da UPA 8231A.
$\overline{\text{INIBLEIT}}$	P13-1DH	S	inibe a leitura de dados/comandos na UPA 8231A.
ADSTAT	P12-1CH	E	sinal de controle recebido armazenado no FF. (CTRLREC armazenado)
ADM	P11-1BH	E	sinal de reconhecimento do fim de um ciclo de DMA.
$\overline{\text{ADOK}}$	P10-1AH	S	sinal de reconhecimento de recebimento de palavra de controle; desativa o Flip-Flop.
$\overline{\text{TXMP}}$	P9-19H	S	coloca a Memória de Comunicação do CT em modo de transmissão; chaveamento simples.

(continua)

Tabela D.2 - Conclusão

MNEMÔNICO	PORTA DA IPS 9901	E/S	DESCRIÇÃO
$\overline{\text{DISPADM}}$	P8-18H	S	sinal de disparo do DMA.
$\overline{\text{AMC}}$	P7-17H	S	sinal que permite ao CT acesso à Memória de Controle.
$\overline{\text{CLRAD}}$	P6-16H	S	sinal que "reseta" um AD.
$\overline{\text{INIFASE}}$	P5-15H	S	sinal que informa os ADs que uma nova fase incremental terá início; sinal de chaveamento simultâneo das Memórias de Comunicação.
$\overline{\text{NOVEND}}$	P4-14H	S	sinal que permite alterar o endereço lógico de um AD.
$\overline{\text{REB}}$	P3-13H	S	sinal que permite carregar o Gerador de Endereços da Memória de Comunicação voltada ao MBUS, do CT e dos ADs, com um novo Endereço Base.
$\overline{\text{RNI}}$	P2-12H	S	sinal que armazena os pedidos de MBUS dos ADs e determina qual o AD de maior prioridade entre os solicitantes.
$\overline{\text{RNC}}$	P1-11H	S	sinal que permite o envio de uma Palavra de Controle aos ADs.
$\overline{\text{MSTCLR}}$		S	sinal de reset geral da máquina; é gerado tanto pelo botão do painel como pela energização do sistema.
$\overline{\text{RSTUPA}}$	P0-10H	S	sinal de reset, gerado por programação para a UPA 8231A.

TABELA D.3

ESPECIFICAÇÕES GERAIS DOS ANALISADORES DIGITAIS

PARÂMETRO	ESPECIFICAÇÃO
Tamanho da Palavra de dados	16 bits
Relógio do Sistema	3,6864 MHz
ENDER. MEMÓRIA	
EPROM	0000 a 3FEF
RAM	4000 a 7FFF
Mem. de Comunicação	E000 a FFFF
E/S mapeada em Mem.	3FF0/1 - leitura ou escrita de dados* no processador aritmético UPA 8231A. 3FF2/3 - leitura ou escrita de comandos no processador aritmético UPA 8231A. *Obs: na escrita de dados é necessário colocar em nível 0 a porta P13 da IPS 9901 (P13=$\overline{\text{INIBLEIT}}$). 3FFA/B - leitura do Registro da Palavra de Controle.
ENDEREÇOS DE CRU	
IPS 9901	1E00 - Os sinais de controle estão definidos na Tabela D.4.
Console	0000 - Interface TMS 9902. (utilizada apenas para testes)

TABELA D.4

ESPECIFICAÇÕES DOS SINAIS DE CONTROLE DA CPU/AD

MNEMÔNICO	PORTA DA IPS 9901	E/S	DESCRIÇÃO
SELMP	——	S	realiza o chaveamento da Memória de Comunicação, efetuado pelo sinal INIFASE (CPU do CT).
$\overline{\text{LIBMP}}$	——	S	libera a utilização da Memória de Comunicação efetuada pelo sinal $\overline{\text{INIFASE}}$. (A MC fica protegida contra escrita após o pedido de barramento).
$\overline{\text{INIFASE}}$	INT4-04H	E	pulso de início de nova Fase Incremental.
$\overline{\text{PINTAD}}$	INT5-05H	E	sinalização de barramento concedido.
$\overline{\text{CTRLINT}}$	INT6-06H	E	sinalização de recebimento de uma Palavra de Controle.
$\overline{\text{ENDUPA}}$	INT7-07H	E	fim de operação da UPA 8231A
$\overline{\text{INIBLEIT}}$	P8-18H	S	inibe a leitura de dados da UPA 8231A.
$\overline{\text{ENDACKUPA}}$	P7-17H	S	resposta ao sinal de fim de operação da UPA 8231A.
$\overline{\text{RSTUPA}}$	P6-16H	S	sinal de reset, gerado por programação, para a UPA 8231A.
$\overline{\text{PADM}}$	P2-12H	S	pedido do barramento MBUS.
$\overline{\text{INTACKAD}}$	P1-11H	S	resposta ao sinal $\overline{\text{PINTAD}}$ (desat.)
$\overline{\text{CTRLINTACK}}$	P0-10H	S	resposta ao sinal $\overline{\text{CTRLINT}}$.
$\overline{\text{ADIJ}}$		E	ativo quando os 6 bits mais significativos do Registro de Endereço Base são iguais ao endereço lógico do AD.
$\overline{\text{CLRAD}}$		E	sinal gerado pelo CT para "resetar" um determinado AD.
$\overline{\text{MSTCLR}}$		E	sinal de reset geral.