1. Classificação *INPE-COM.3/RPI*
C.D.U.: 551.507.362.2

2. Período

4. Distribuição
interna [X]
externa [ ]

3. Palavras Chaves (selecionadas pelo autor)
SMS
TIROS-N
ESTAÇÃO DE RECEPÇÃO
MALHA DE SINCRONIZAÇÃO DE FASE

5. Relatório nº
INPE-2070-RPI/056

6. Data
Maio, 1981

7. Revisado por
Walter Rodrigues

8. Título e Sub-Título

SINCRONIZADOR DE BITS

9. Autorizado por
Nelson de Jesus Parada
Diretor

10. Setor *DME* Código

11. Nº de cópias *02*

12. Autoria *Luis Fernando Solis Munõz*

14. Nº de páginas *29*

15. Preço

13. Assinatura Responsável

16. Sumário/Notas

Os sistemas de recepção de sinais dos satélites meteorológicos SMS, TIROS-N e METEOSAT incluem um equipamento para: recondicionar o sinal ruidoso recebido do demodulador com distorção de fase e amplitude, recuperar um relógio sincronizado com os dados e fornecer este relógio juntamente com os dados codificados em NRZ-C. Foi desenvolvido um equipamento comum aos três sistemas e foram construídas três unidades, duas para SMS e uma para TIROS-N.

17. Observações

ÍNDICE

Pag.

LISTA DE FIGURAS ..... *iv*

1 - INTRODUÇÃO 1

2 - DESCRIÇÃO GERAL 2
2.1 - Objetivos 2
2.2 - Características do sinal e dados 2
2.3 - Teoria de funcionamento 2

3 - DESCRIÇÃO TÉCNICA 8
3.1 - Adaptação de entrada 8
3.2 - Detetor de transições 8
3.3 - Malha de sincronização de fase 9
3.4 - Detetor de bits 13
3.5 - Conversor de código 14
3.6 - Controle do canal 18
3.7 - Adaptação de saída 22
3.8 - Painéis 23
3.9 - Fontes de alimentação 29

APÊNDICE A - DIAGRAMAS DOS CIRCUITOS

1. INTRODUÇÃO

A implantação do sistema de recepção e processamento de sinais dos satélites SMS e TIROS-N, e futuramente METEOSAT, exigiu o desenvolvimento, no INPE, de grande parte dos equipamentos que os compõem.

Descreve-se, neste trabalho, o Sincronizador de Bits. Esta unidade é necessária em todos os três sistemas, sendo que no sistema SMS são usadas duas unidades.

Inicialmente foi desenvolvido um protótipo especificamente para o sistema SMS, onde foram implementadas e testadas diversas alternativas para os vários módulos que compõem o Sincronizador de Bits.

Aproveitando esta experiência, desenvolveram - se outros protótipos com as mesmas características, para os subsistemas SMS-VISÍVEL e TIROS-N.

Finalmente foi decidida a construção de um único modelo de sincronizador de bits que se compatibiliza-se com os quatro tipos de sinais a serem recebidos: SMS-Infravermelho, SMS-Visível, TIROS - N e METEOSAT.

O modelo único foi decidido considerando-se três vantagens principais: Em primeiro lugar, é evidente a vantagem obtida pela facilidade de permutação dos equipamentos, isto é, opera-se qualquer um dos Sincronizadores de Bits em qualquer um dos sistemas. Em segundo lugar, o modelo único permite o aproveitamento de módulos que são idênticos em dois ou mais Sincronizadores de Bits funcionando para sistemas diferentes. Finalmente, tendo em vista a diversidade dos aparelhos que configuram os vários sistemas e o seu eventual funcionamento simultâneo, é evidente que a simplificação na operação implicará o melhor desempenho dos sistemas.

2. DESCRIÇÃO GERAL

2.1 - OBJETIVOS

O Sicronizador de Bits tem como função recondicionar o sinal ruidoso, recebido do demodulador com distorção de fase e amplitude. Assim sendo, deve recuperar os dados PCM, decodificá-los e fornecer, junto com esses dados, um sincronismo ou relógio que é obtido dos dados.

2.2 - CARACTERÍSTICAS DO SINAL E DOS DADOS

1) Na recepção do satélite SMS, o sinal recebido é uma multiplexação dos sinais do visível e do infravermelho. A Figura 1 mostra as características de uma linha de imagem para um dos quatro modos de transmissão possíveis. A taxa de bits para os dados do infravermelho é de 524.16 kb/s, e para os dados do visível é de 1747,2 kb/s. Tanto os dados do canal infravermelho quanto os do visível são recebidos em PCM, com o sinal binário codificado em NRZ-S. Na Figura 2 mostra - se os diversos tipos de códigos referenciados neste trabalho. O sinal binário fornecido pelo Sincronizador de Bits é codificado em NRZ-C, para qualquer um dos canais.

2) Para os satélites TIROS-N e METEOSAT, o sinal recebido do demodulador está codificado em BIϕ-L, tendo saída codificada em NRZ-C. A taxa de bits do TIROS-N é de 665.42 kb/s, e do METEOSAT é de 166.66 kb/s.

2.3 - TEORIA DE FUNCIONAMENTO

O diagrama de blocos, mostrado na Figura 3, é um diagrama funcional do Sincronizador de Bits. Baseado nele, apresenta-se uma descrição funcional dos seus módulos, os quais são explicados com detalhes na Seção 3 e os desenhos dos circuitos na Seção 4.

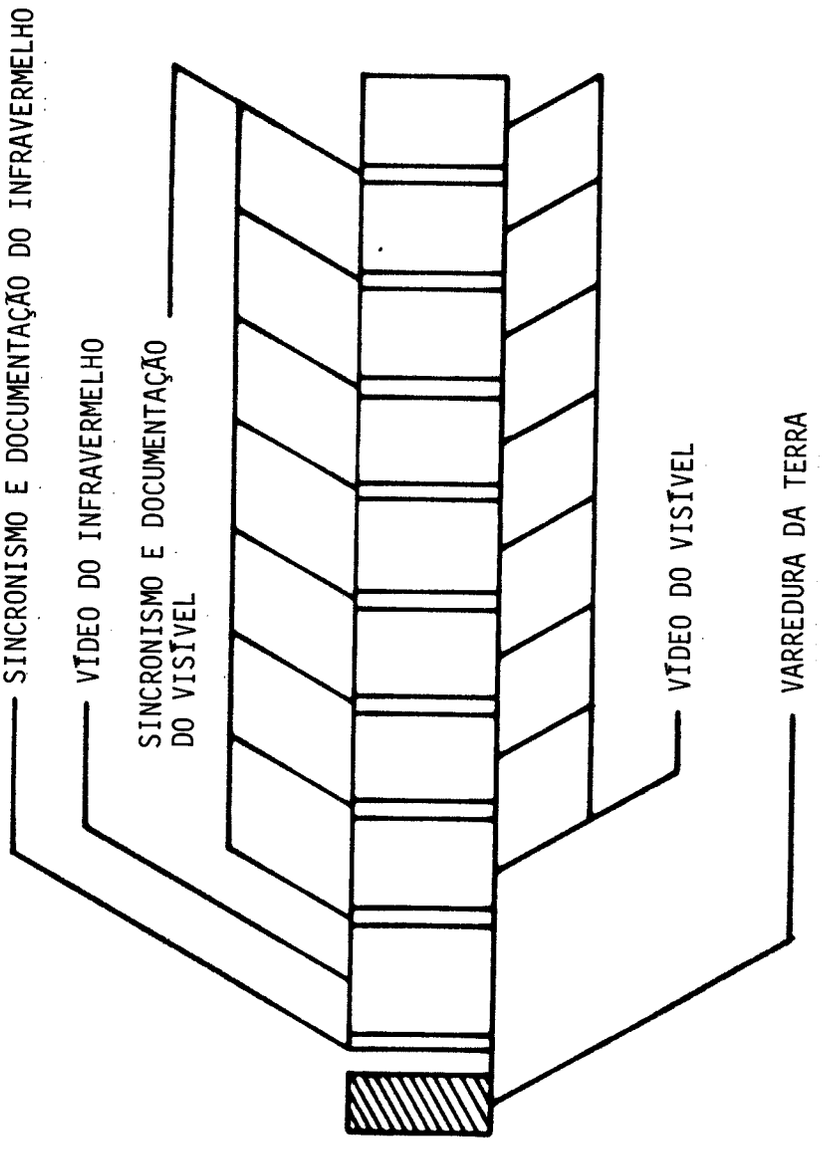

Fig. 1 - Formato dos dados do SMS Modo A.

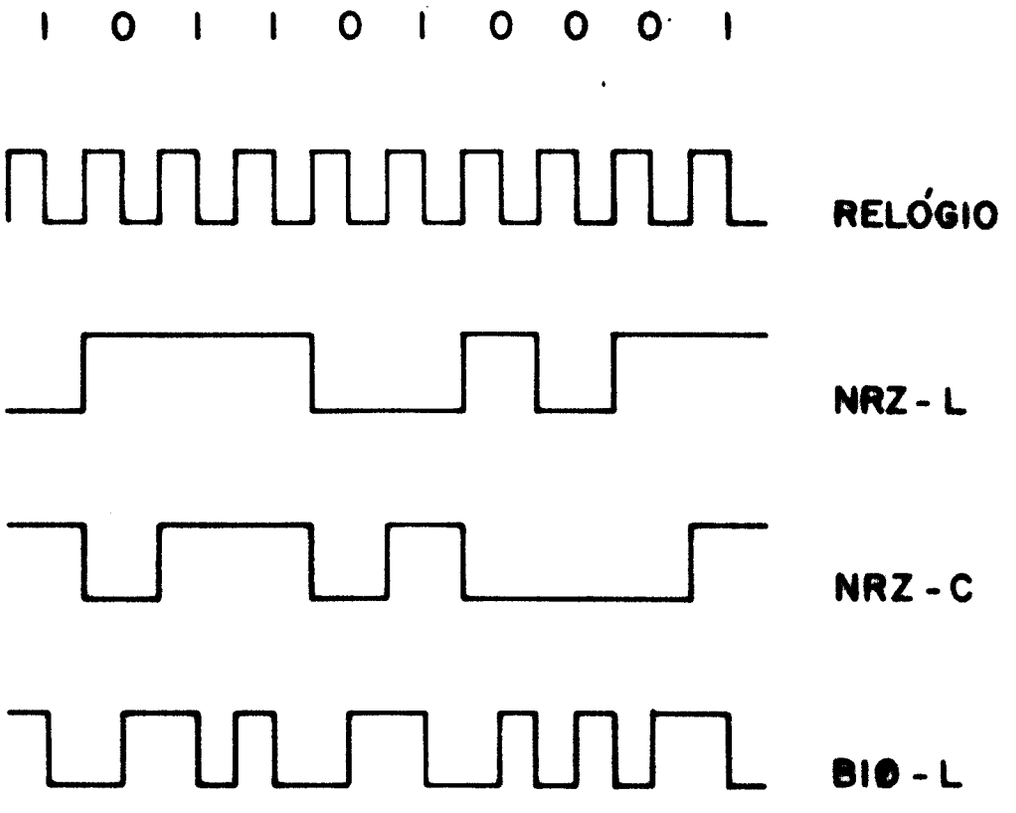

Fig. 2 - Códigos PCM.

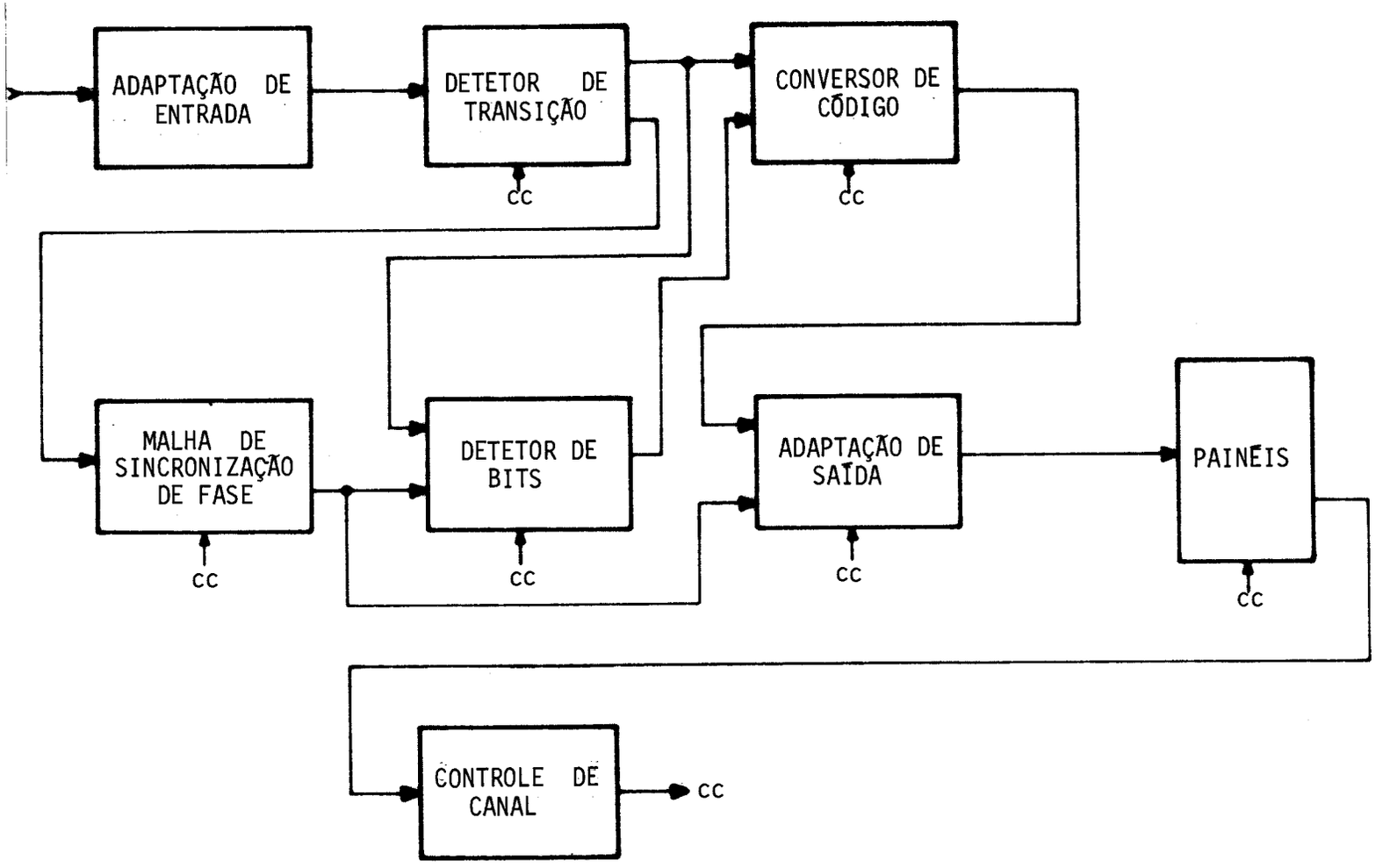

Fig. 3 - Diagrama funcional do Sincronizador de Bits.

- Adaptação de Entrada

É um circuito passivo que adapta a impedância de saída do demodulador (50Ω) com a entrada do Sicronizador de Bits.

- Detetor de Transição

Neste módulo, o sinal demodulado é analisado detetando-se as transições. Para isto, o sinal é polarizado, eliminando-se o nível dc para depois ser comparado com um nível de referência ajustado em 0 volts. Quando o sinal estiver acima do nível de referência, a saída toma um valor, e quando estiver abaixo toma outro valor. O sinal fornecido é compatível com a família de circuitos TTL. Isto quer dizer que a partir daqui o sinal é tratado na forma digital convencional, usando-se lógica TTL normal e "schottky".

O sinal assim obtido é enviado para o conversor de código e, ao mesmo tempo, cada transição é convertida num pulso, os quais são enviados para a malha de sincronização de fase.

- Malha de Sincronização de Fase

Este módulo é um dos mais importantes do Sincronizador de Bits, tendo a função de fornecer, a partir dos pulsos correspondentes as transições do sinal, um relógio que seja sincronizado em fase com estes pulsos.

Para fazer isto, dispôs - se de um oscilador com uma frequência de 32 ou 64 vezes a frequência nominal dos dados. O sinal do oscilador é dividido por 32 ou 64 para obter um relógio com a mesma frequência que a taxa de bits dos dados. Compara-se a fase do relógio assim obtido com a fase dos pulsos correspondentes às transições do sinal. Esta comparação de fase fornece a indicação necessária para atuar no divisor do oscilador com o objetivo de alterar essa divisão de forma a sincronizar os dois sinais.

O fato de o divisor dividir por 64 ou 32 é devido às limitações de frequência dos circuitos. Quanto mais alta a frequência do oscilador, maior a precisão obtida na sincronização, mas o divisor, por sua vez, tem que processar um sinal de frequência maior. Por esta razão quando for possível, utiliza-se a divisão por 64, que é o caso do canal infravermelho do SMS e do METEOSAT. Já para o canal visível do SMS e TIROS-N, utiliza-se a divisão por 32.

Diversas fases deste relógio, sincronizado com o sinal, são utilizadas no detetor de bits, no conversor de código e também na adaptação de saída.

- Detetor de Bits

Depois de ter obtido um relógio sincronizado com as transições do sinal original, decide-se qual o bit recebido e sincroniza-o com uma das fases do relógio. Na decisão, procura-se eliminar entre outros problemas, uma possível flutuação de frequência e também fixar a fase relativa entre os dados recebidos e os fornecidos aos outros módulos. Estes dados são enviados ao conversor de código.

- Conversor de Código

Finalmente devem ser feitas as transformações de códigos. O conversor é dividido em duas partes totalmente independentes, uma que transforma código NRZ-L em código NRZ-C e a outra que faz a transformação de BIϕ-L para NRZ-C (Figura 2).

- Controle de Canal

Para cada um dos quatro tipos de sinal que o Sincronizador de Bits pode processar, ele tem uma configuração interna de funcionamento diferente. Cada configuração determina, entre outras, as seguintes características: qual das quatro entradas dever ser processada, a largura dos pulsos associados às transições, a frequência do oscilador, a razão de divisão e decodificador a ser usado. Devido à grande quanti

dade de características de funcionamento do Sincronizador de Bits; as quais são determinadas pelo módulo de controle de canal, os sinais por ele fornecidos são enviados a todos os outros módulos.

- Adaptação de Saída

O Sincronizador de Bits fornece duas saídas: os dados codificados em NRZ-C e um relógio sincronizado com eles. Este módulo tem como função escolher a saída de um dos decodificadores e o respectivo relógio para serem fornecidos como saídas do Sincronizador de Bits.

3. DESCRIÇÃO TÉCNICA

Existe uma correspondência entre os módulos do diagrama funcional da Figura 3 e a sua distribuição física nas placas de equipamento. Para a descrição dos circuitos usa-se o mesmo diagrama de blocos, sendo a descrição feita por módulo, indicando-se a sua localização física. Em alguns casos, partes de um módulo podem estar localizadas em outra que não a placa principal do módulo; casos estes que serão devidamente indicados.

Os diagramas dos circuitos são mostrados no Apêndice A, e a descrição dos circuitos é apresentada a seguir.

3.1 - ADAPTAÇÃO DE ENTRADA

Para adaptar a impedância de entrada do circuito detetor de transição com a impedância de saída do demodulador, usa-se um circuito passivo correspondendo a R1 e C1 na Figura 13 (Apêndice A).

3.2 - DETETOR DE TRANSIÇÃO

Este módulo localizado na placa P1 e mostrado na Figura 13 (Apêndice A) tem duas funções. A primeira é a de detetar transições do sinal, e para isto o sinal é polarizado de forma a tirar o seu nível

dc antes de entrar no comparador K na Figura 13 (Apêndice A). Este comparador deteta cruzamentos pelo nível 0 volts do sinal grampeado pelos diodos D1 e D2. A saída do comparador, que é compatível com a lógica TTL, terá nível alto se o sinal estiver acima de 0 volts, e nível baixo, caso contrário.

A segunda função deste módulo, é fornecer pulsos correspondentes às transições do sinal que sai do comparador, tanto para as transições positivas quanto para as negativas. Os pulsos são gerados em pares de monoestáveis, circuitos B e D para o SMS do infravermelho, A e G para o SMS do visível, e C e H para o TIROS-N.

3.3 - MALHA DE SINCRONIZAÇÃO DE FASE

É o módulo mais importante do Sincronizador de Bits e tem como função a recuperação de um relógio em fase com o sinal, a partir do próprio sinal. A malha de sincronização de fase está distribuida em duas placas, sendo que na placa P2 mostrava no diagrama de Figura 14 (Apêndice A) está a malha propriamente dita e na placa P7 mostrada na Figura 19 (Apêndice A) se encontra o oscilador de referência. Este oscilador tem uma frequência que é 32 ou 64 vezes a taxa de bits nominal. A Tabela 1 mostra a frequência e a sua relação com a taxa de bits para os quatro sistemas que o Sincronizador de Bits aceita.

TABELA 1

PARÂMETROS DA MALHA DE SINCRONIZAÇÃO DE FASE

SISTEMA	FREQUÊNCIA DO OSCILADOR	TAXA DE BITS kb/s	DIVIDE POR
SMS do infravermelho		524,16	64
SMS do visível	55.9100 MHz	1.747,2	32
TIROS-N	42.6240 MHz	665,42	32
METEOSAT		166,66	32

O sinal gerado por um oscilador a cristal é enviado para um amplificador de dois estágios que fornece um sinal senoidal com $4V_{p-p}$ de amplitude.

A Figura 4 mostra um diagrama simplificado da malha de sincronização de fase. Ela recebe o sinal vindo do oscilador e divide-o apropriadamente para obter um relógio na frequência desejada. A sincronização de fase é feita comparando-se a fase deste relógio com a fase dos pulsos correspondentes às transições. Esta comparação é realizada pelo detetor de fase que, na Figura 5 corresponde aos "flip - flops" A1 e A2. Dependendo se a fase do relógio está adiantada ou atrasada a respeito a fase dos pulsos de transição, um destes dois "flip - flops" será ativado, ou seja sua saída Q será alta. Este sinal alto se deslocará pelos circuitos B1-C1-D1, ou B2-C2-D2, dependendo da desfasagem relativa. Ao mesmo tempo que se propaga, ele é sincronizado com as fases do oscilador. Esta sincronização é necessária para permitir que o sinal seja usado no corretor de divisão; circuito F2.

O processo de sincronização da divisão é um processo convergente desde que a frequência dos pulsos de transição esteja dentro da faixa de captura da malha. O funcionamento é explicado na Figura 5 para o caso do divisor funcionar num dos modos que dividem por 64.

A unidade básica de tempo é T, o período do oscilador. O período do relógio é dado por T1 + T2, sendo que T2 sempre vai ser igual a 32T enquanto que T1 é variável dependendo, em primeiro lugar, de acontecer um pulso de transição para poder gerar algum dos dois sinais D1 ou D2. Caso não acontecer um pulso de transição, T1 vai conter 32T. Ao existir D1, o que o corretor de divisão faz é tentar compensar o atraso do relógio em relação aos pulsos de transição, com um encurtamento do pulso do relógio e, para isto, ele força o corretor de divisão a ter uma mudança de estado entre duas mudanças normais, e com isso ele consegue que o circuito divisor, que divide a saída do corretor de divisão por 32 usando-a como relógio, receba em um intervalo de tempo de T2 - T as 32 transições positivas necessárias para mudar a saída. Em resumo, o divisor vai contar 32 transições em um espaço de tempo igual a 31T.

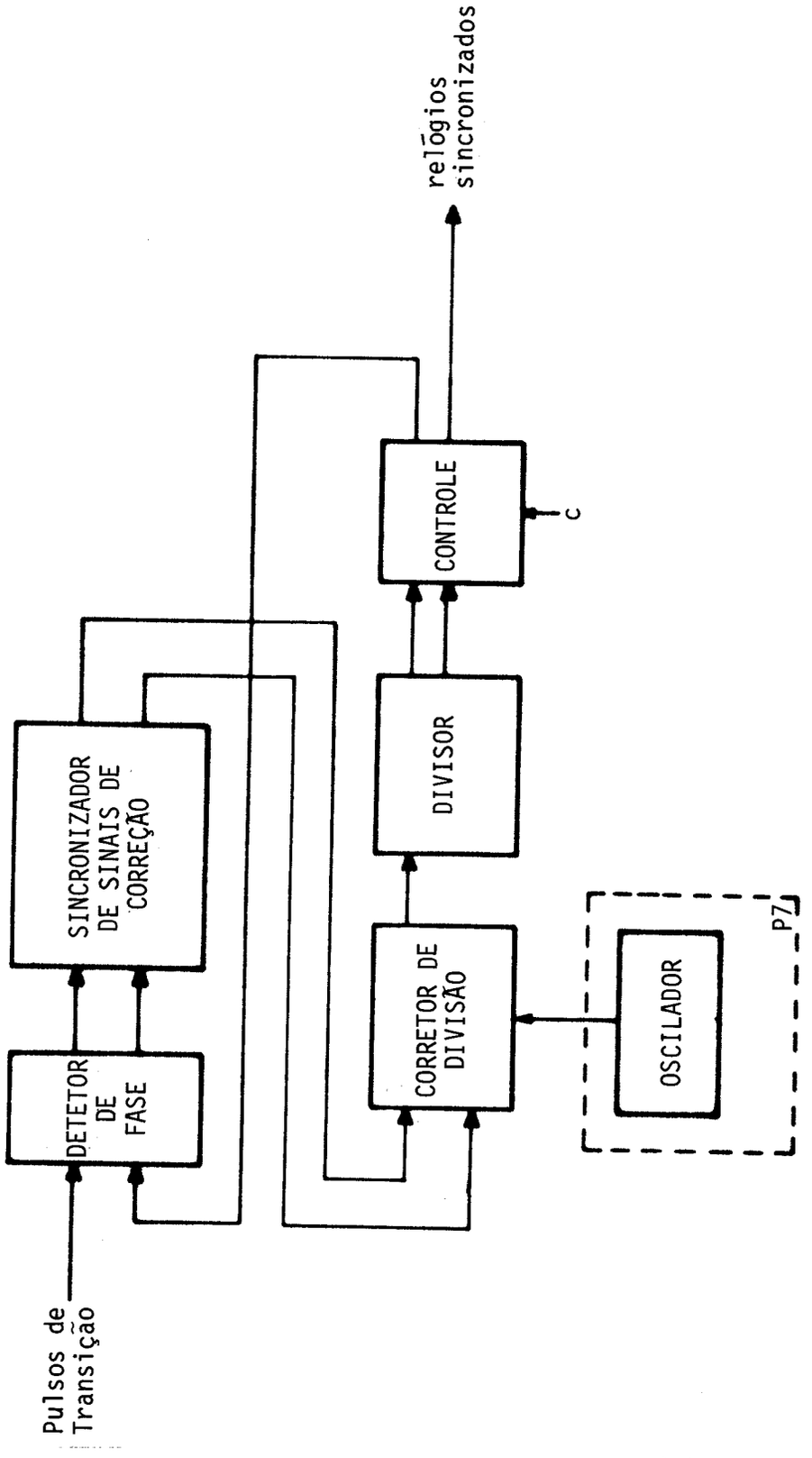

Fig. 4 - Malha de sincronização de fase.

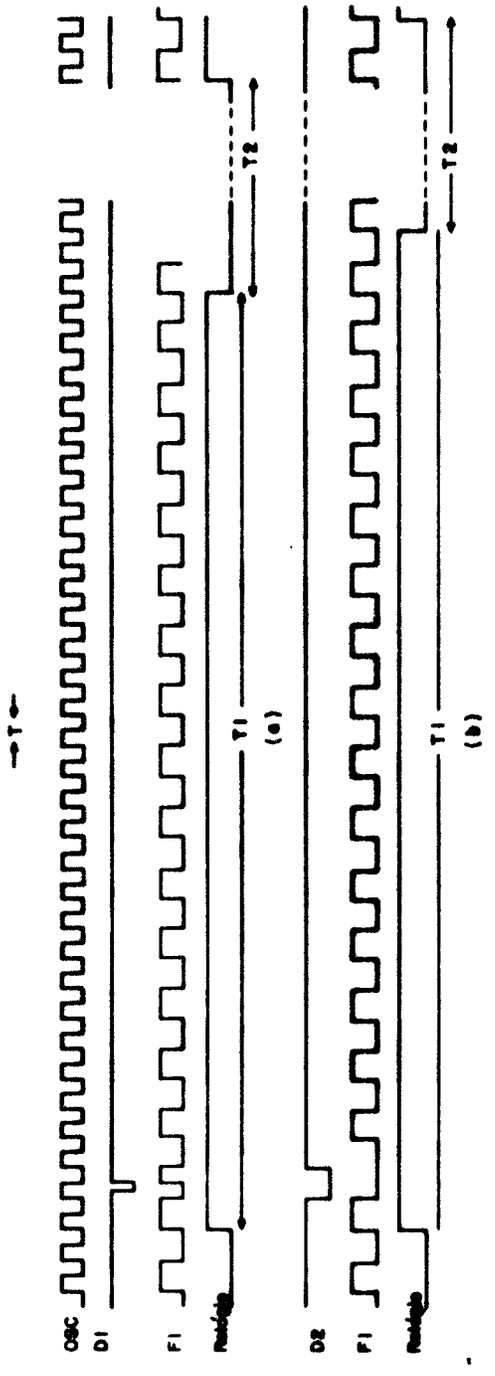

Fig. 5 - Diagrama de tempo do corretor de divisão.

A implementação do corretor de divisão para este caso é mostrada na Figura 5 a), onde é fácil ver que se ocorrer um pulso de correção D1 sem haver sincronização com a descida de F1, o que acontece é que F1 ignora esta correção, posto que ela faz com que F1 mude para o estado alto, coisa que é inútil se F1 já estiver alto.

Caso o sinal de correção recebido pelo corretor de divisão seja D2, o que acontece é um alargamento de T1. Isto é feito ao não permitir que F1 mude de estado na próxima transição positiva do sinal do oscilador, fazendo com que o divisor por 32 receba 32 transições positivas em 33T. Novamente, T2 é fixo, contendo 32T.

Quando a malha consegue sincronizar os pulsos de relógio com os de transição, ela mantém esta sincronização, corrigindo a fase a cada pulso de transição. Caso o sinal PCM recebido não contenha uma transição, o detetor de fase não vai gerar sinal nenhum, fazendo com que T1 seja 32T.

O controle da malha recebe como informação a indicação de dividir o sinal do oscilador por 32 ou 64, e toma a saída apropriada do divisor para fornecer relógios tanto ao detetor de fase quanto ao resto do Sincronizador de Bits.

3.4 - DETETOR DE BITS

Tendo convertido o sinal recebido para níveis TTL, e recuperado o relógio sincronizado com este sinal, deve-se agora decidir, para cada intervalo de bit recebido, se a informação é nível alto, "1" ou nível baixo, "0". Este módulo está localizado na placa P3 e seu diagrama na Figura 15 (Apêndice A). Existem dois detetores de bits; um para os dados recebidos no código NRZ-L e outro no código BIϕ-L.

Existe um atraso entre os dados fornecidos pelo comparador, para serem usados no detetor de bits, e o relógio sincronizado. Este atraso é introduzido, principalmente, na geração dos pulsos de transição, os quais são obtidos a partir das transições dos dados fornecidos pelo

comparador e é com estes pulsos que o relógio é sincronizado na malha de sincronização de fase. Para compensar este atraso do relógio, introduz-se um atraso nos dados para permitir que a decisão do bit recebido seja feita com maior exatidão e isto acontece quando o relógio decide exatamente no meio do intervalo do bit.

Como o atraso do relógio é maior no caso dos dados NRZ-L, o atraso introduzido neles é também maior.

Os dados são atrasados primeiro no circuito C da placa P3, composto de 6 circuitos inversores em cascata. O sinal, assim atrasado, é utilizado no detetor de bits BIϕ-L e também vai para o segundo atrasador, que corresponde ao circuito A da placa P3, também composto de 6 circuitos inversores. A saída normal e a invertida deste segundo atrasador são enviadas para o detetor de bits NRZ-L. Este detetor é formado pelos circuitos E1, E2, I4 e os 4 circuitos F. Na descida do relógio 0^{o}, os dados normais são amostrados e o seu valor é armazenado no "flip-flops" E1, para serem usados no conversor de código.

Se os dados recebidos pelo detetor de bits estão codificados em BIϕ-L, a deteção de bits e feita de maneira similar. Os dados são atrasados no circuito C e amostrados com cada transição do relógio 0^{o}. Esta amostragem é diferente ao caso NRZ-S em dois aspectos: primeiro em que são usados dois "flip-flops" para armazenar a informação dos dois bits NRZ-S que compõem um bits BIϕ-L, e segundo é que antes é preciso determinar onde começa um bit BIϕ-L para armazenar corretamente as duas metades. Isto é explicado na seção 3.5.

3.5 - CONVERSOR DE CÓDIGO

Localizados na placa P3, e mostrados Figura 15 (Apêndice A), os dois conversores de código recebem os bits já detetados e sincronizados.

O conversor de código NRZ-S para NRZ-L consiste de um OR exclusivo que recebe o sinal invertido e informação do bit anterior que

foi armazenado no "flip-flop" E1. O resultado do OR-exclusivo é amostrado simultaneamente com a amostragem feita em E1, e armazenado em E2. É importante notar que esta amostragem além de guardar o resultado do OR - Exclusivo, também funciona como um complemento do detetor de bits. A saída do "flip-flop" E2 é enviada para o circuito de controle, na placa P4.

Para a conversão dos dados BIϕ-L para NRZ-L, é necessário um circuito um pouco mais complexo. Isto acontece devido à necessidade de extrair uma ambiguidade inerente à recepção de qualquer sinal codificado em BIϕ-L. Até chegarem no conversor de código, os dados são tratados como se estivessem no código NRZ-L, e o relógio obtido na malha de sincronização de fase, pelo fato de sincronizar-se com as transições do sinal, tem o dobro da frequência da taxa de bits BIϕ-L nominal. Ao dividir este relógio por dois fica em evidência a ambiguidade, devido ao desconhecimento da fase do sinal BIϕ-L, isto é; não é possível saber se um determinado bit, interpretando o sinal como se estivesse em NRZ-L, é a primeira ou a segunda metade de um bit em BIϕ-L.

Aproveitando-se uma característica dos sinais codificados em BIϕ-L, é possível detetar onde está o meio do bit BIϕ-L e por conseguinte eliminar a ambiguidade.

A Figura 6 apresenta um diagrama de blocos simplificado dos módulos que atuam na correção da ambiguidade, e a Figura 7 mostra um diagrama de tempo dos sinais usados na deteção da fase correta do relógio.

A função do detetor de fase BIϕ-L é determinar se o relógio que está em fase com os dados BIϕ-L é o relógio 0^{o} normal ou invertido. Isto é possível de ser feito sabendo-se que é uma característica do código BIϕ-L (ver Figura 2) a de ter sempre uma transição no meio do intervalo dos bits. A partir desse fato, e fácil ver que se os pulsos de transição PT são mascarados com o relógio 0^{o} e também se gera outro sinal mascarando-o com o complemento deste relógio, ao contar estas duas sequências de pulsos, aquele relógio que mascarou os pulsos correspondentes às transições que acontecem no meio do intervalo do bit, vai servir como referência para identificar, sem ambiguidade, se um determinado bit NRZ-L é a primeira ou a segunda metade de um bit BIϕ-L.

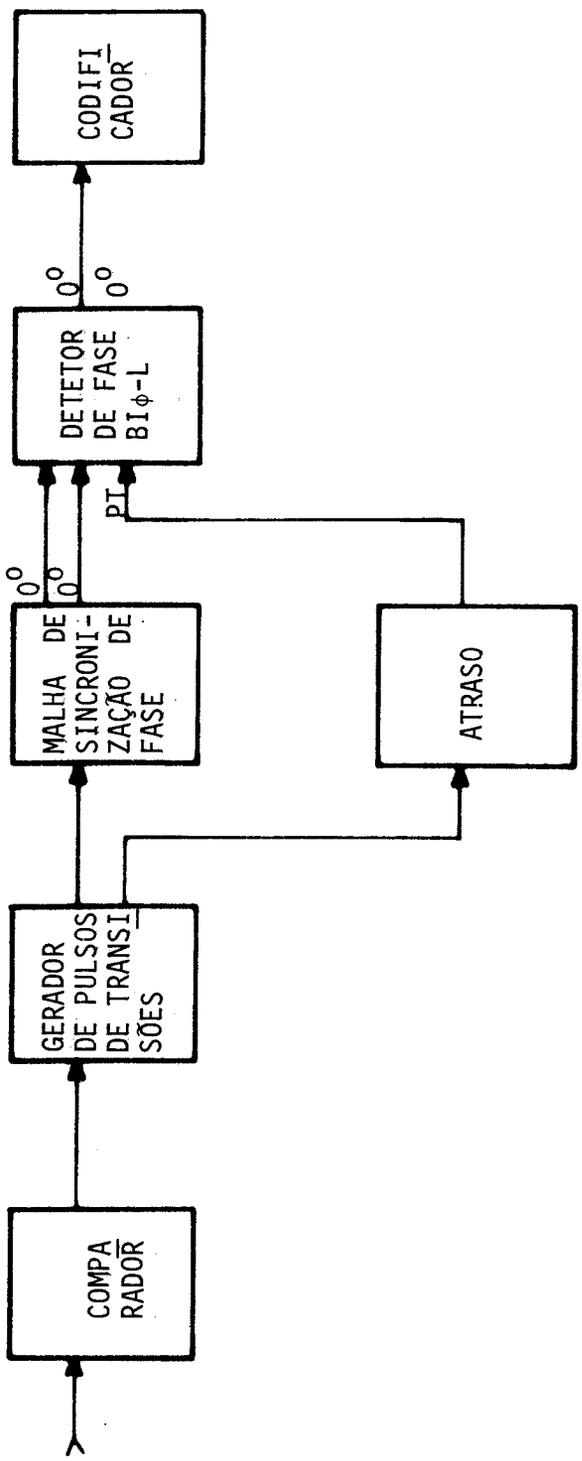

Fig. 6 - Conversor de código BIφ-L para NRZ-L.

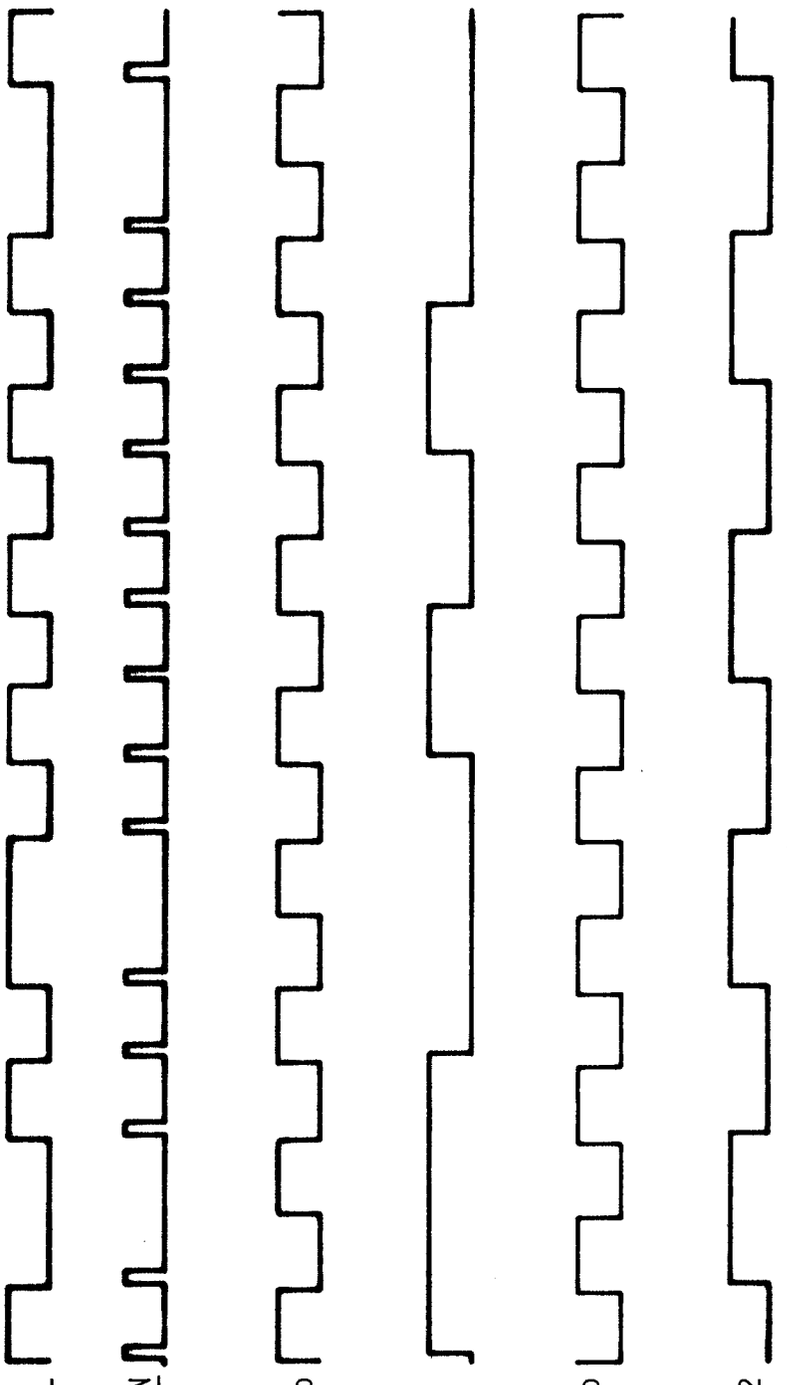

Fig. 7 - Diagrama de tempo do detetor de ambiguidade.

Os pulsos resultantes depois de mascarar os pulsos de transição são contados pelos contadores G e H, um para cada sequência de pulsos. O contador que chegar primeiro na contagem máxima fará com que seja escolhido como referência o relógio que foi usado para mascarar os pulsos que ele contou, e inicializará os contadores. Para diminuir a probabilidade de erro, e principalmente para evitar que na eventualidade de receber vários bits zero (ou seja, o caso de ter transições em todos os começos e metades dos bits), o detetor de fase mude na escolha do relógio, ao inicializar os contadores aquele contador que chegar na conta máxima é carregado com o valor dois e o outro é limpado. Com isto se consegue que para o detetor de fase mudar a saída, é necessário que existam pelo menos duas transições erradas.

Depois de terminar qual a fase do relógio, 0^{o} ou 180^{o}, que está sincronizada com o sinal BIϕ-L, realiza-se a deteção de bits. Com a transição de subida guarda-se a primeira metade do bit BIϕ-L no "flip-flop" B1 e com a transição de descida guarda-se a segunda metade no "flip-flop" B2. Os dados de B1 e B2 servem de entrada para o conversor de código BIϕ-L para NRZ-L, que consiste do "flip-flop" K, tendo como relógio o mesmo que foi escolhido como referência para fazer a deteção de bits.

3.6 - CONTROLE DE CANAL

Cada um dos quatro sinais que o Sincronizador de Bits é capaz de processar tem características próprias que tornam necessário configurar os módulos do Sincronizador de Bits de forma diferente para cada caso.

O controle do canal, localizado na placa P4 e mostrado na Figura 16 (Apêndice A), tem como função configurar o Sincronizador de Bit para processar o sinal do sistema escolhido, levando em consideração a frequência, código e outras características.

A placa de controle é também responsável pelos amostradores que estão no painel frontal, através dos circuitos L3 até L6, que alimentam as quatro lâmpadas que indicam qual a configuração escolhida; e fornece dois sinais em que se codificou, usando dois bits, a informação de qual o canal em funcionamento. A Tabela 2 mostra qual o significado do código, onde AA corresponde ao pino A13 e BB ao pino B12, ambos na placa P4.

TABELA 2

CÓDIGO DE CANAL PARA AMOSTRADORES

AA	BB	CANAL
0	0	SMS-INF
0	1	SMS-VIS
1	0	TIROS-N
1	1	METEOSAT

Estes dois sinais são decodificados nas placas P5 e P6 cujo funcionamento é explicado na Seção 3.7.

Existem quatro sinais que governam todo o funcionamento do Sincronizador de Bits. Um deles (CHA, CHB, CHC, CHD) retorna o nível baixo de CHO desde o painel frontal, sendo que os outros três ficam no nível alto, garantido pelos resistores R6 até R9. Todos os outros módulos do controle se utilizam destes quatro sinais.

Na Figura 8 apresenta-se um diagrama de blocos do controle do canal onde cada bloco representa os diversos módulos funcionais, o qual facilita a descrição do controle do canal.

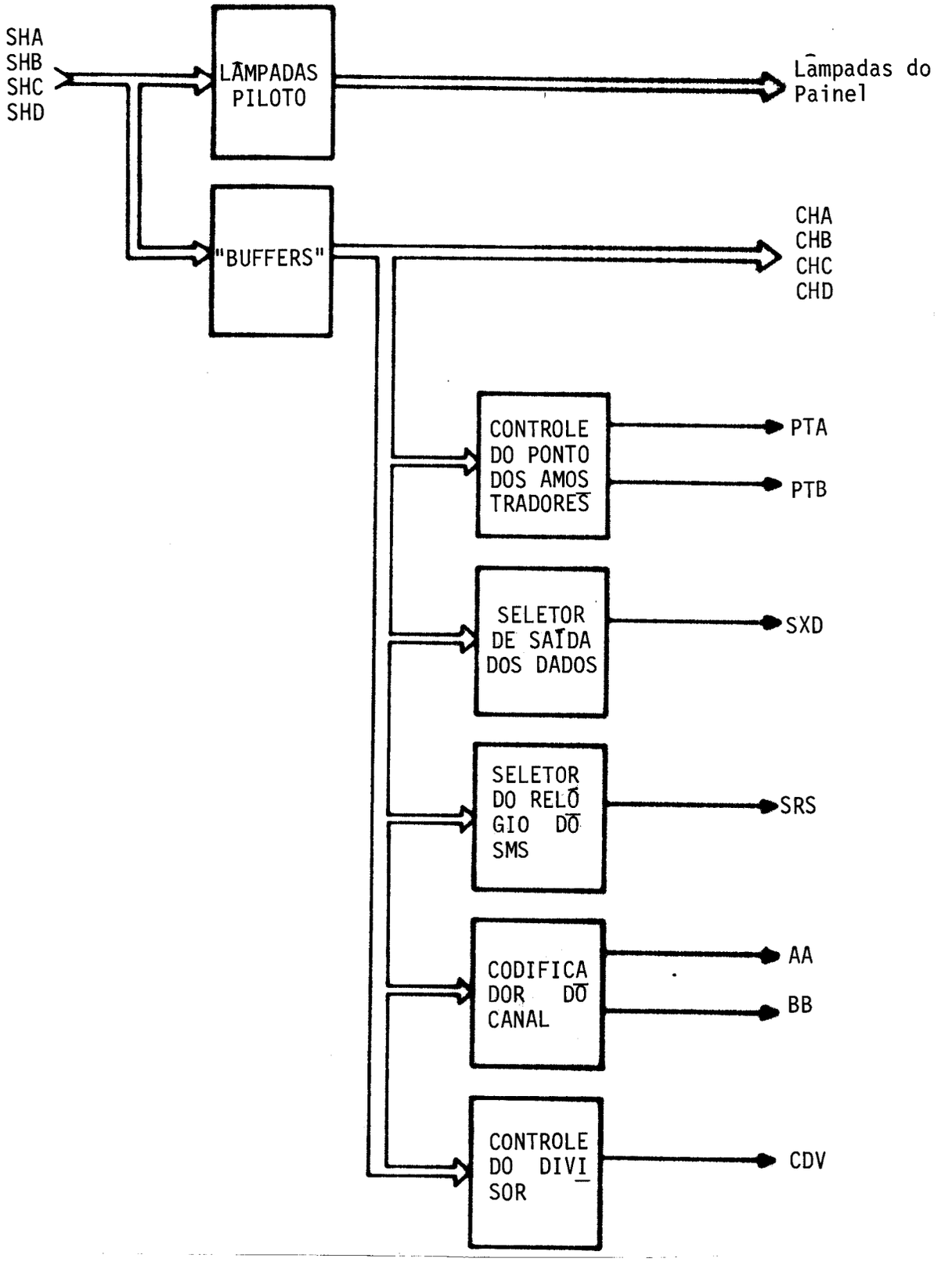

Fig. 8 - Diagrama de blocos - controle do canal.

Para evitar problemas de carga, os quatro sinais CHA até CHD ficam disponíveis para o resto dos circuitos só depois de passarem pelos circuitos K3 até K6. Estes sinais isolados vão para os outros cinco módulos, além de irem para outras placas.

Dependendo do canal escolhido, a frequência nominal apresentada nos amostradores do painel frontal vai ser diferente, e o ponto decimal pode estar localizado em um dos dois pontos diferentes. A decisão de qual deles é energizado é a tarefa do controle do ponto decimal. A implementação é feita com circuitos de coletor aberto (circuitos E1 e E2) devido às características dos amostradores. As duas saídas são uma o complemento da outra e correspondem aos sinais PTA e PTB.

Os dados já convertidos para o código NRZ-L precisam ser enviados para o único conector de saída de dados, existente no painel traseiro. Cabe ao módulo seletor de saída de dados determinar qual dos quatro sinais vindos dos conversores de código é enviado para a saída. Esta função é realizada pelos quatro circuitos I e pelo circuito G1. A saída SXD vai para o pino B4 da placa P4.

Para compatibilizar o sicronismo da saída do Sincronizador de Bits com o decomutador, é preciso sincronizar os dados do SMS-INF com a subida do relógio e os dados do SMS-VIS com a descida. Isto é realizado no seletor de relógio SMS (circuito A1, B1, B2 e B3). O "flip-flop" A1 recebe os dados e o relógio da forma como são fornecidos para o caso SMS-INF e sincronizados de acordo com o padrão SMS-VIS para serem selecionados nos circuitos B1 até B3. A saída, SRS, no pino A15 vai para a placa P1 onde está o seletor de relógio de saída.

Como foi explicado anteriormente, dependendo do canal escolhido, o divisor da malha de sincronização de fase deve funcionar como divisor por 32 ou por 64. Este controle do divisor é o sinal fornecido pelo circuito C4, denominado CDV e que vai para o pino A17.

3.7 - ADAPTAÇÃO DE SAÍDA

O sincronizador de bits tem duas saídas, uma para os dados e outra para o relógio. Por tanto, é necessário escolher qual o relógio e qual os dados que vão ser enviados para esses conetores.

Na Seção anterior foi explicado como é a seleção dos dados no módulo seletor de saída de dados. O seletor de saída de relógio está localizado na placa P1 e corresponde aos circuitos J1, J2, I1, e E2 na Figura 8. Existem três possíveis relógios diferentes a serem selecionados, um para o SMS infravermelho, outro para o SMS visível e outro comum para o TIROS-N e METEOSAT. O controle é realizado pelos sinais CHA, CHB, e o sinal CCD que corresponde à lógica OR dos sinais CHC e CHD. A saída é o sinal SXR, pino A3.

Apesar de não ser uma saída no sentido de fornecer sinal para um outro equipamento, os mostradores do painel dianteiro fornecem informação ao meio externo.

Em vista disso, os circuitos que convertem os níveis TTL para níveis compatíveis com os amostradores, ao mesmo tempo que fazem a conversão de código podem ser tratados como adaptadores de saída.

Distribuídos nas placas P5 e P6; existem sete circuitos conversores os quais, júntos com as portas que decodificam o canal escolhido, formam o adaptador de mostradores.

Basicamente, o esquema é o da Figura 9 onde se tem dois módulos bem diferenciados. Um para os mostradores de frequência e outro para os da razão de divisão. No primeiro caso, os sinais AA e BB, vindos da placa de controle do canal, são decodificadas no esquema um de quatro, obtendo-se quatro sinais equivalentes aos sinais CHA até CHD da placa de controle do canal. Estes sinais são usados para codificar, no código hexadecimal, os valores desejados nos mostradores. Cada uma das sete saídas destes codificadores alimenta um dos sete segmentos dos amostradores.

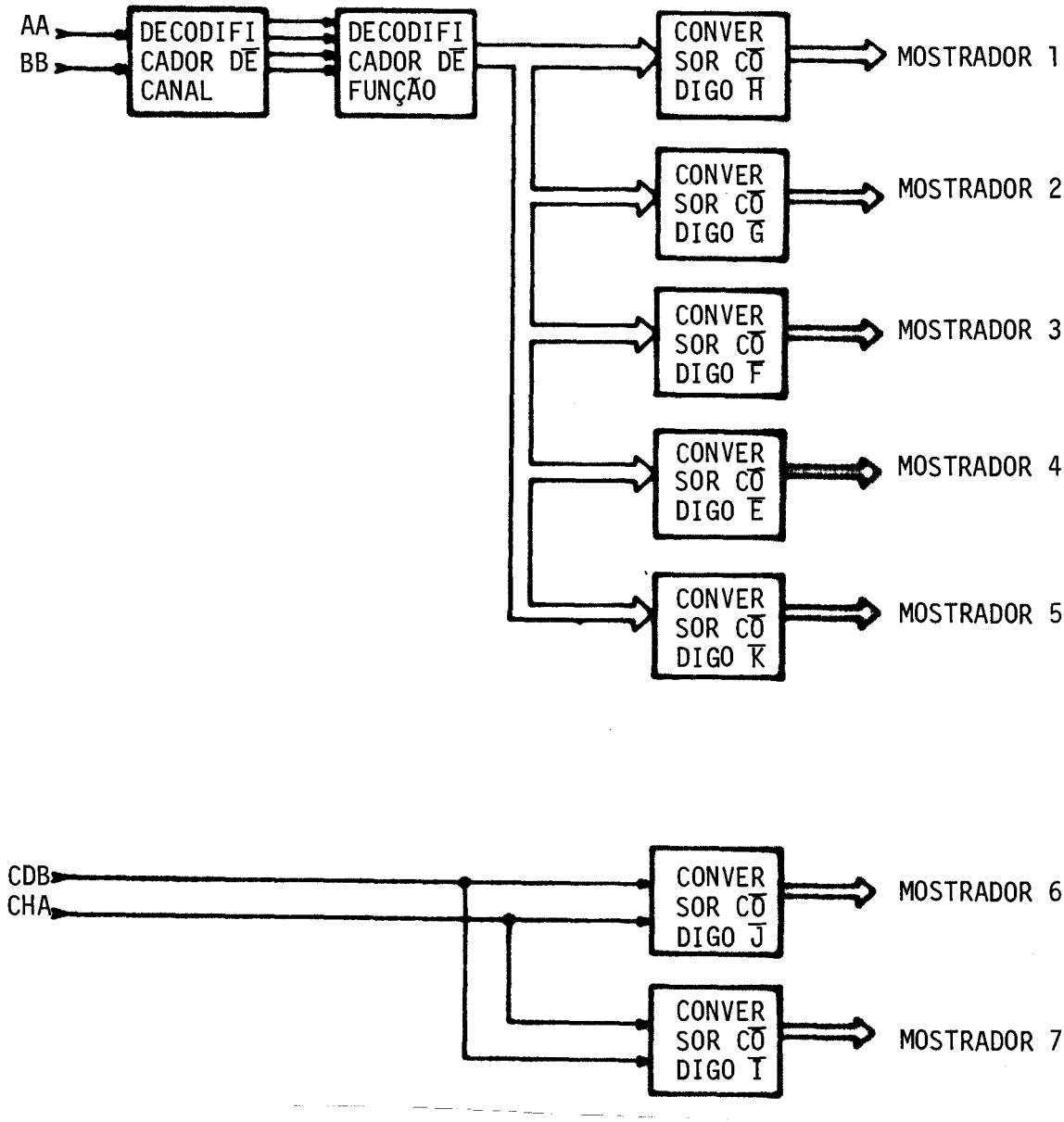

Fig. 9 - Adaptador de mostradores.

Para o segundo módulo, os sinais que controlam os codificadores que alimentam os mostradores são os sinais CDV, que quando em nível lógico "1" indica que o divisor deve funcionar no modo divisão por 64; e CHA que quando em nível lógico "1" indica funcionamento no modo divisão por 32. CDV é obtido invertendo-se CHA.

Fisicamente, os circuitos estão distribuidos nas placas P5 e P6. Os quatro codificadores H, G, F e E estão na placa P5, sendo que H corresponde ao mais significativo dos dígitos dos mostradores de frequência. Na placa P6, encontram-se os dois circuitos codificadores da razão de divisão e o correspondente ao dígito menos significativo do mostrador de frequência.

3.8 - PAINÉIS

A Figura 18 mostra o painel traseiro. Nele existem quatro canais de entrada e mais dois para a saída de dados e relógio. Também estão localizados nele o cabo de força, um fusível e o dissipador da fonte de alimentação de + 5 volts.

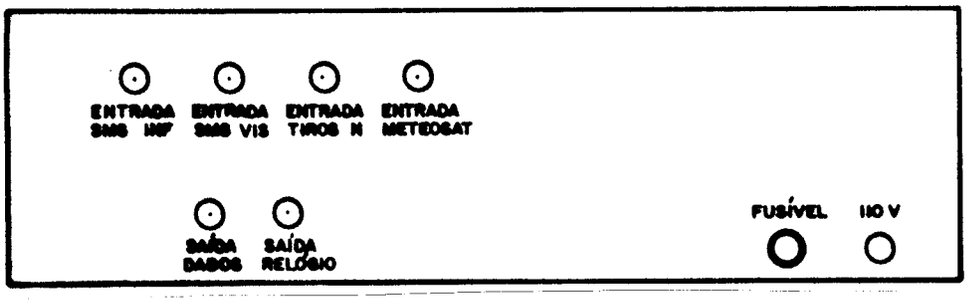

Fig. 10 - Painel traseiro

O painel dianteiro reflete uma das características do sincronizador de bits, isto é, a simplicidade de operação. Como a interven

ção do operador foi simplificada ao máximo, o painel dianteiro é totalmente desprovido de ajustes ou chaves. A única operação a ser realizada é ajustar o seletor de canais e fornecer o sinal pelo conector apropriado no painel traseiro.

Além da chave seletora de canal, o painel dianteiro tem mostradores e quatro conectores BNC com a finalidade de ajudar na manutenção.

A Figura 11 mostra o painel dianteiro. Nele é mostrada a frequência nominal do relógio, a razão de divisão da malha de sincronização de fase e uma lâmpada piloto que indica o canal escolhido ao posicionar a chave seletora de canal em qualquer uma das quatro posições.

Os quatro conectores têm a finalidade de servir como pontos de teste tanto para monitorar o funcionamento quanto para ajudar a manutenção.

O sinal VID corresponde ao sinal que está saindo pelo conector SAÍDA DADOS, no painel traseiro, e o sinal RLG, ao relógio que sai pelo conector SAÍDA RELÓGIO, também no painel traseiro. O sinal CMP é a saída do comparador da placa P1 e o PTR são os pulsos de transição da mesma placa.

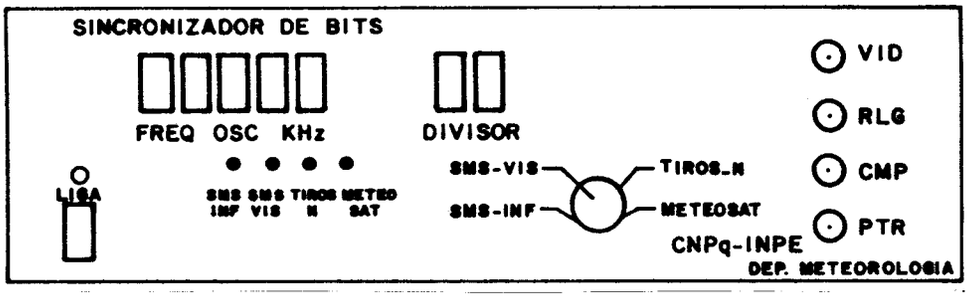

Fig. 11 - Painel dianteiro.

Para facilitar a fixação dos mostradores ao painel frontal e simplificar a sua ligação com o resto dos circuitos, eles foram montados numa placa que está localizada atrás do painel. Nela existem uns conectores de contacto que permitem desligar as conexões entre a placa e os outros circuitos, facilitando a sua retirada em caso de eventuais substituições.

3.9 - FONTES DE ALIMENTAÇÃO

O sincronizador de bits dispõe de duas fontes de alimentação, sendo que uma delas é dupla com saídas de +15v e -15v, fornecendo 1.8A cada uma; e a outra é simples com saída de +5v, fornecendo 5A.

Os esquemas das fontes são similares, só se diferenciando no tranformador, no diodo zener de referência e no transistor de saída que, para o caso da fonte de +5v, é colocado em "darlington" com o transistor normal, um outro de maior potência. Este transistor está colocado num dissipador localizado no painel traseiro.

O esquema das fontes é mostrado na Figura 20 (Apêndice A).

APÊNDICE A

DIAGRAMAS DOS CIRCUITOS

As placas P1 até P6 são apresentadas nos diagramas das Figuras 13 até 18. Neles os circuitos estão distribuídos da seguinte forma:

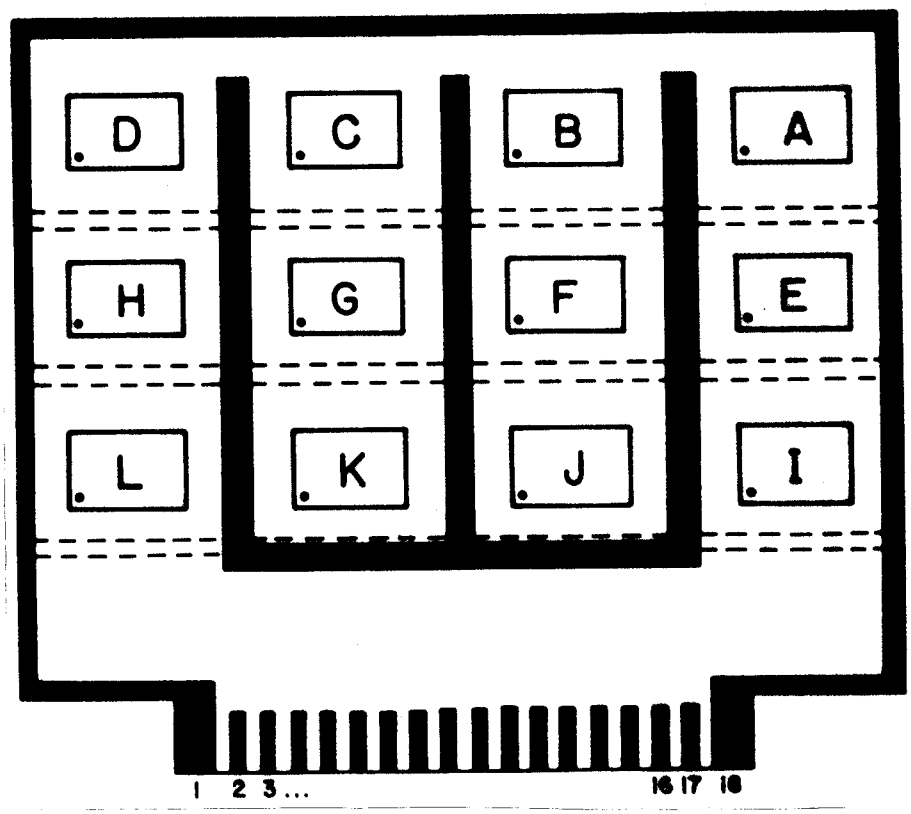

Fig. 12 - Distribuição dos circuitos nas placas

Esta distribuição é pelo lado em que ficam os circuitos integrados, os quais têm o seu pino 1 na extrema esquerda, indicado com um ponto. A cada pino de entrada, e a cada pino dos circuitos integrados, corresponde um pino de "wire-wrap". Todas as ligações na placa são feitas entre estes tipos de pinos.

Cada placa tem até 18 ou 32 possíveis entradas ou saídas. As placas P1, P2 e P3 somente têm 18 pinos para ligações externas e

correspondem à fase A das placas, isto é, do lado contrário em que ficam os circuitos integrados. Cada pino tem associado um número como indicado. As placas são encaixadas em conectores padrões de 18 pinos com uma ou duas fases. As ligações entre placas são feitas por meio desses conectores, da mesma forma que as ligações com os painéis.

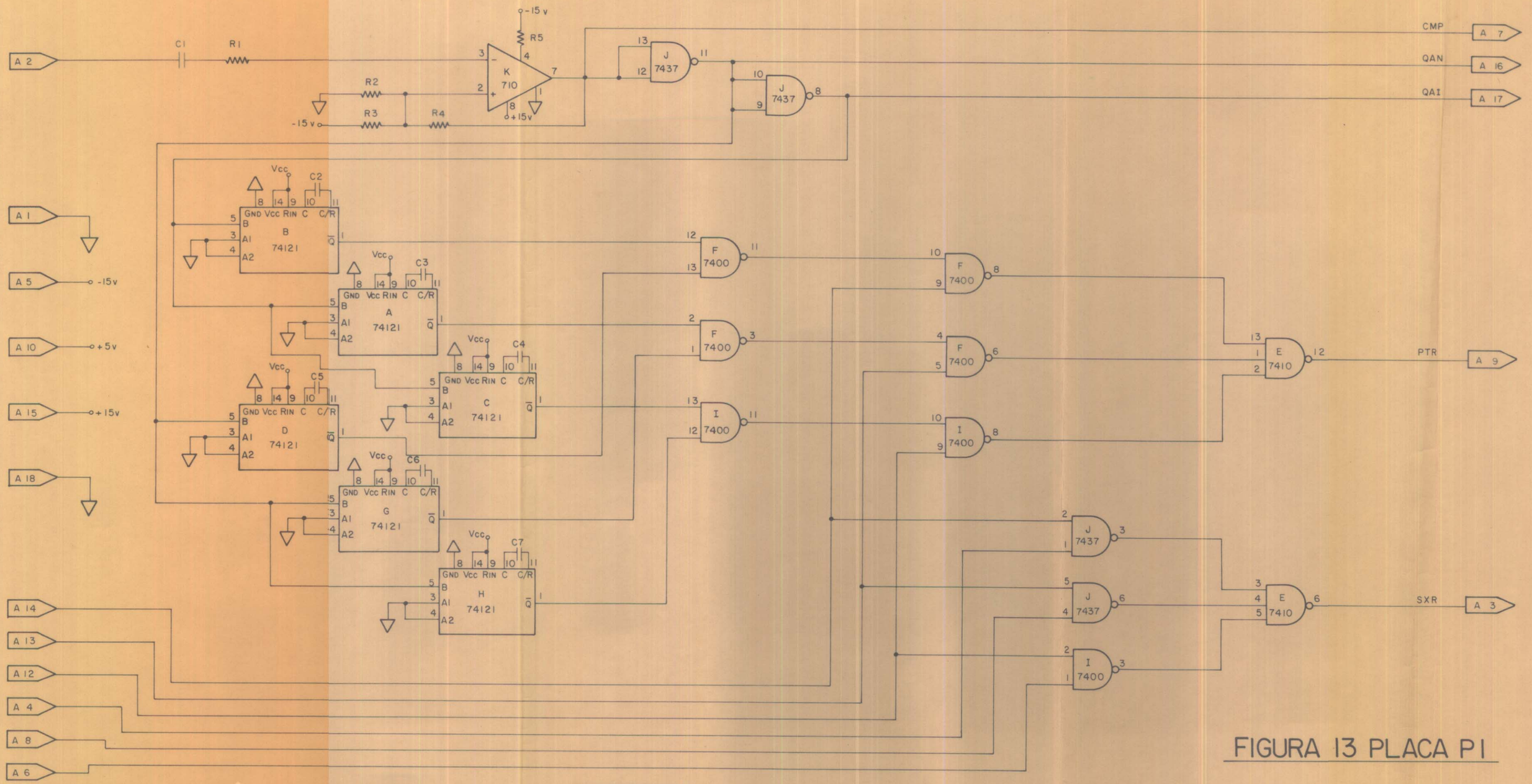

FIGURA 13 PLACA P1

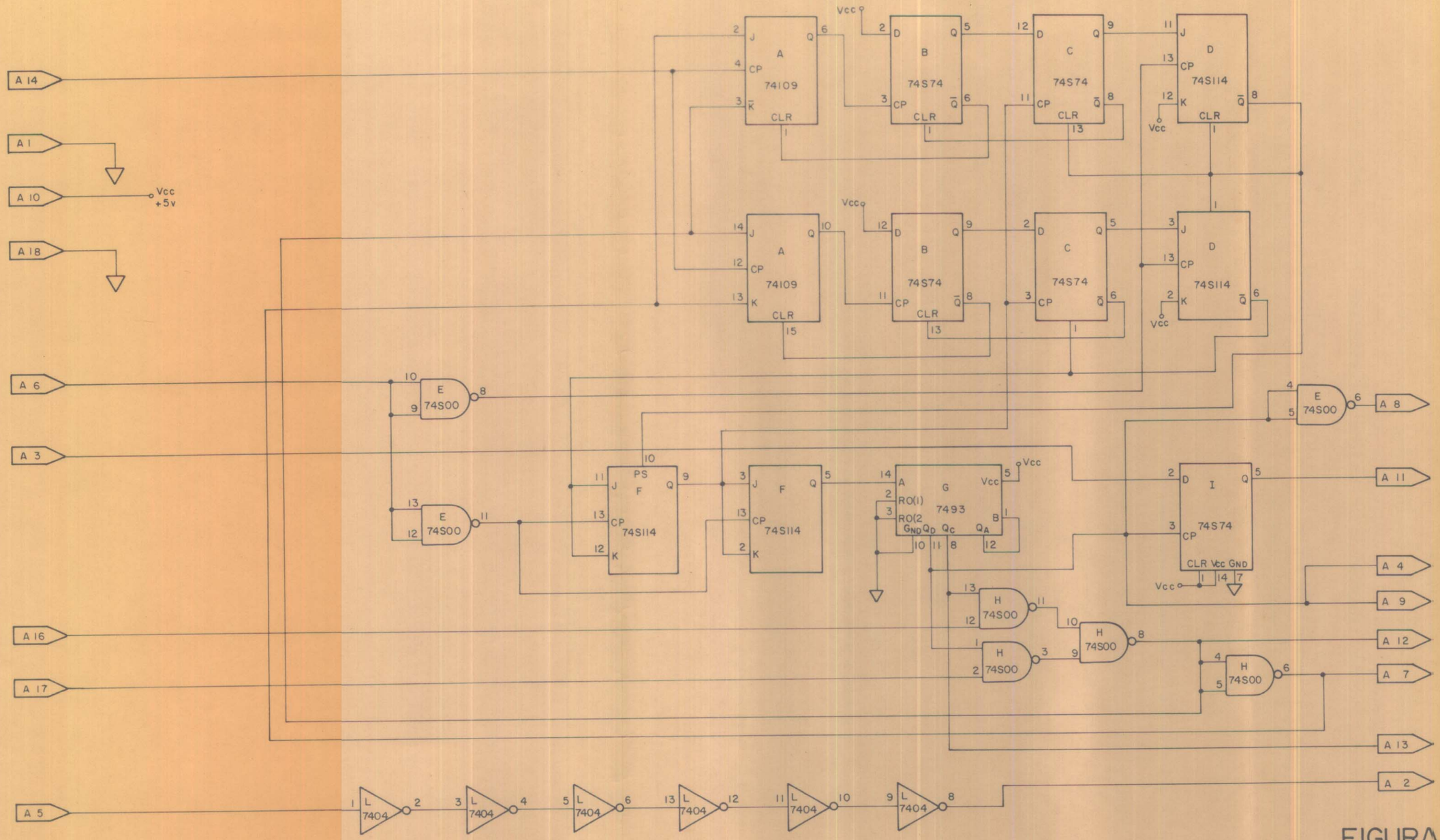

FIGURA 14 PLACA P2

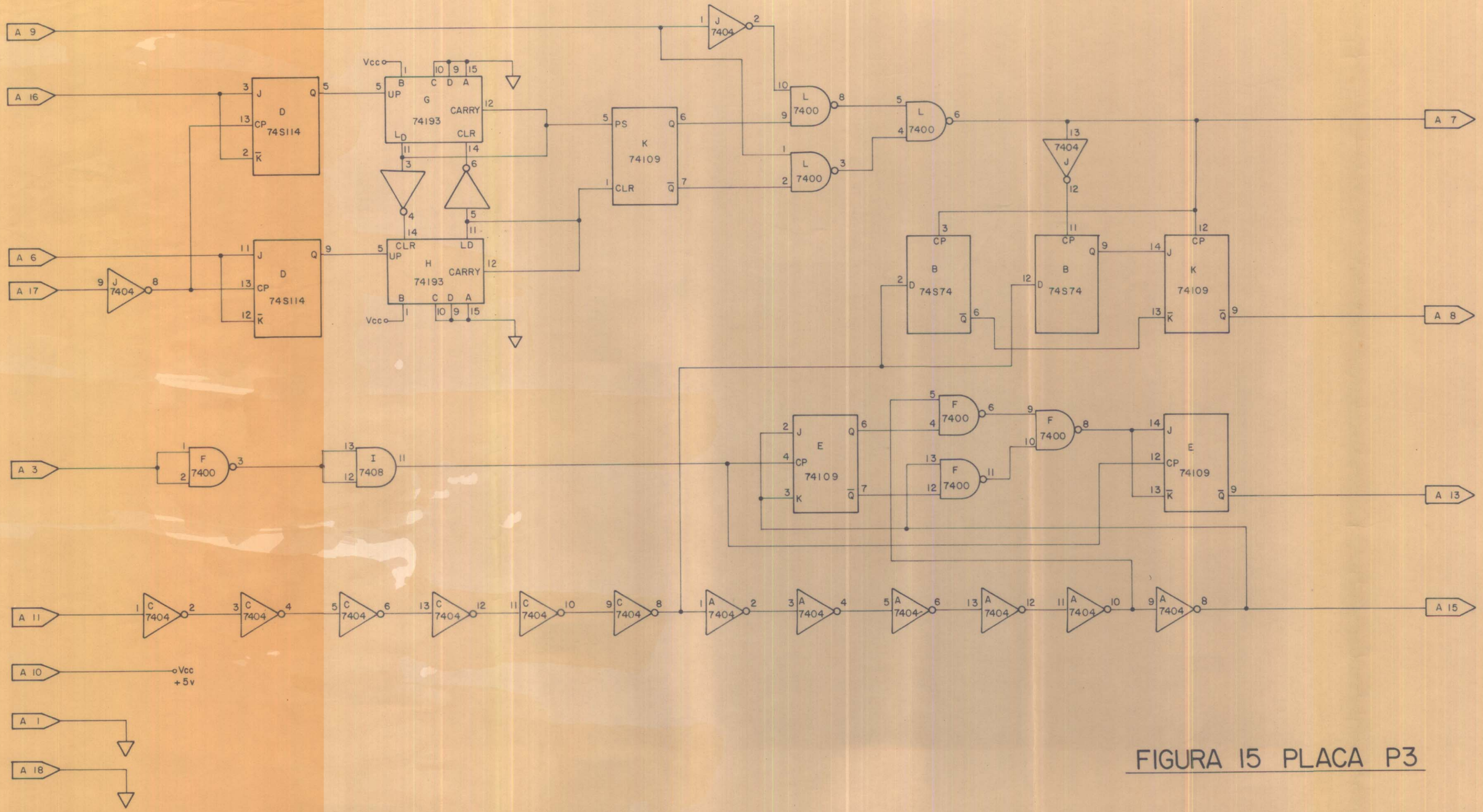

FIGURA 15 PLACA P3

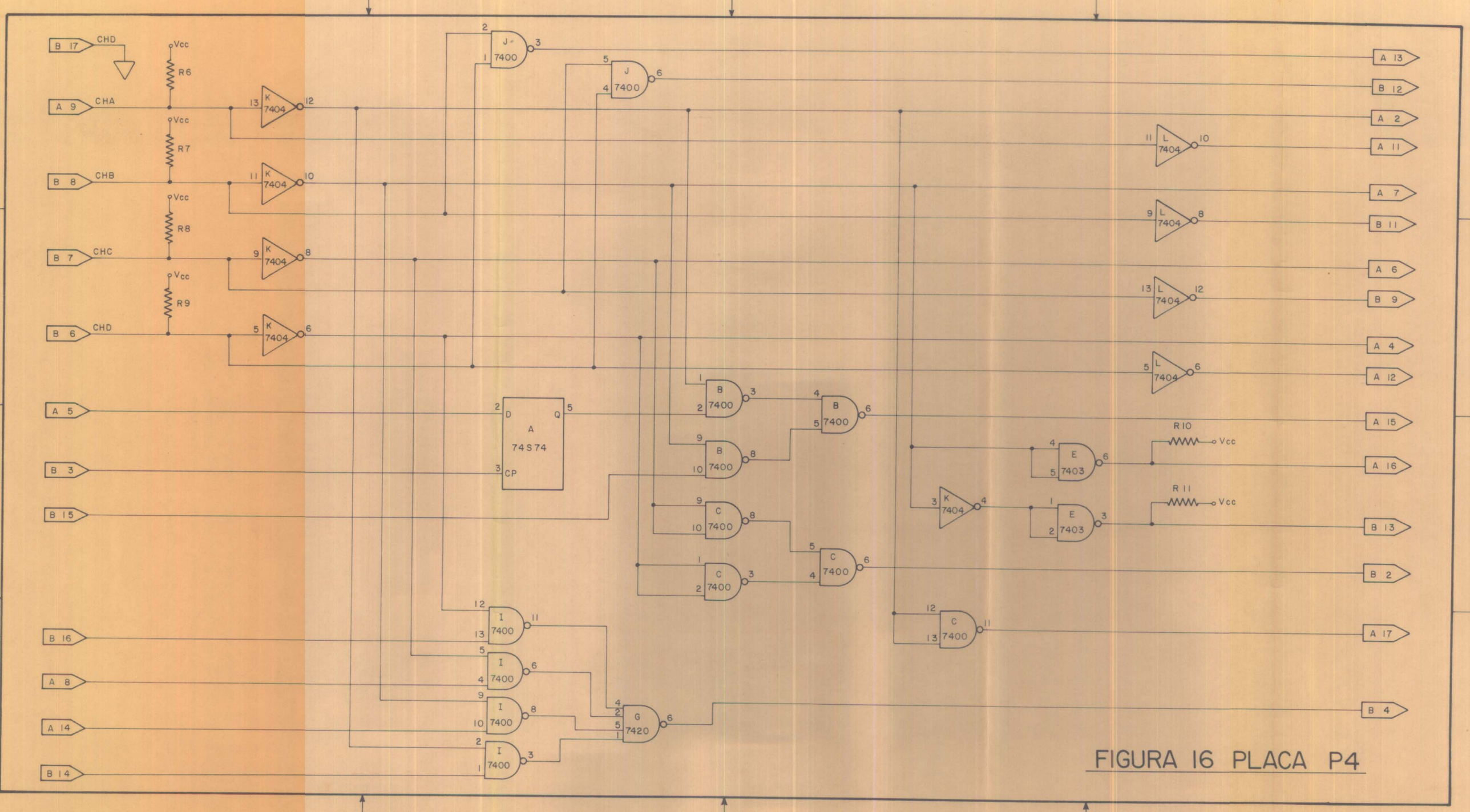

FIGURA 16 PLACA P4

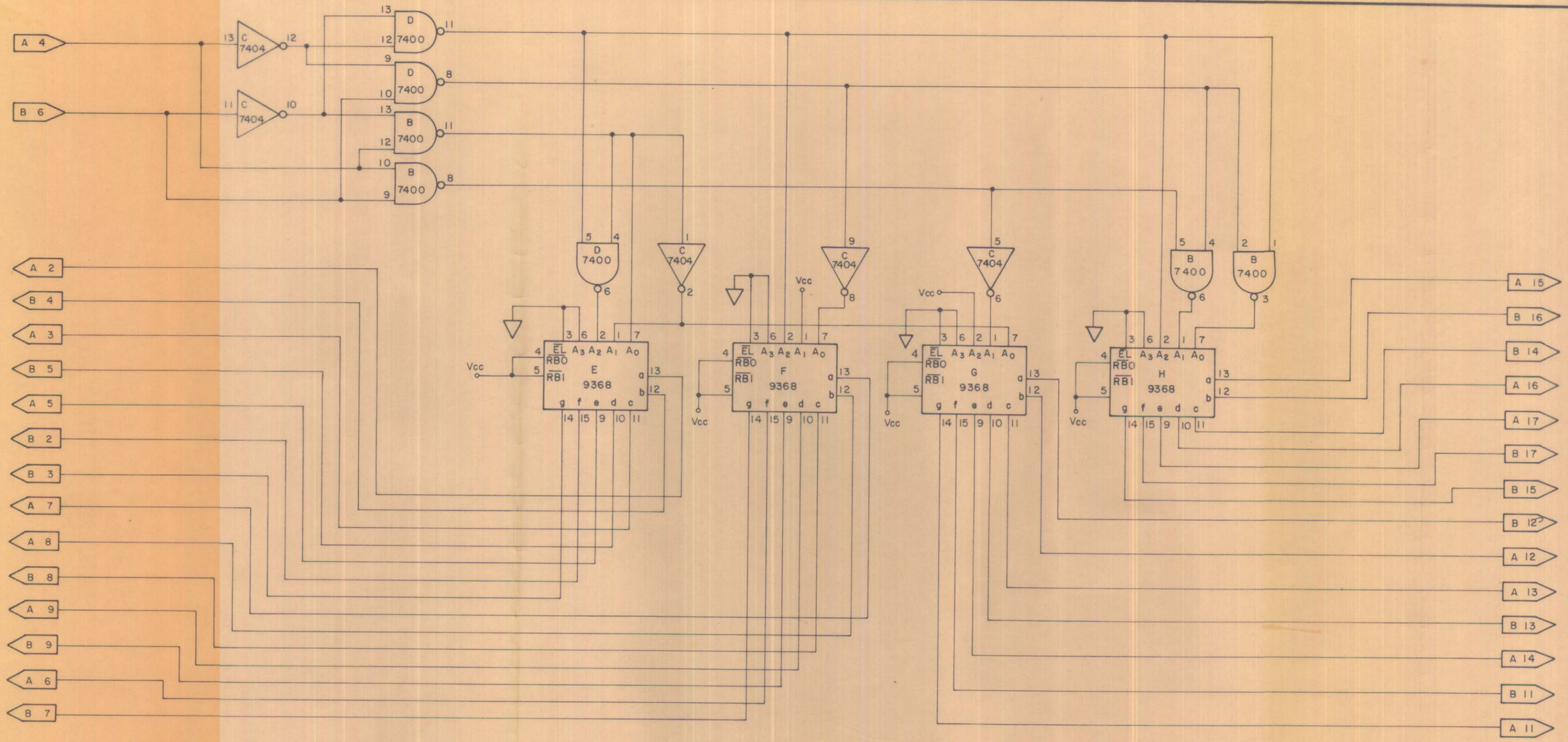

FIGURA 17 PLACA P5

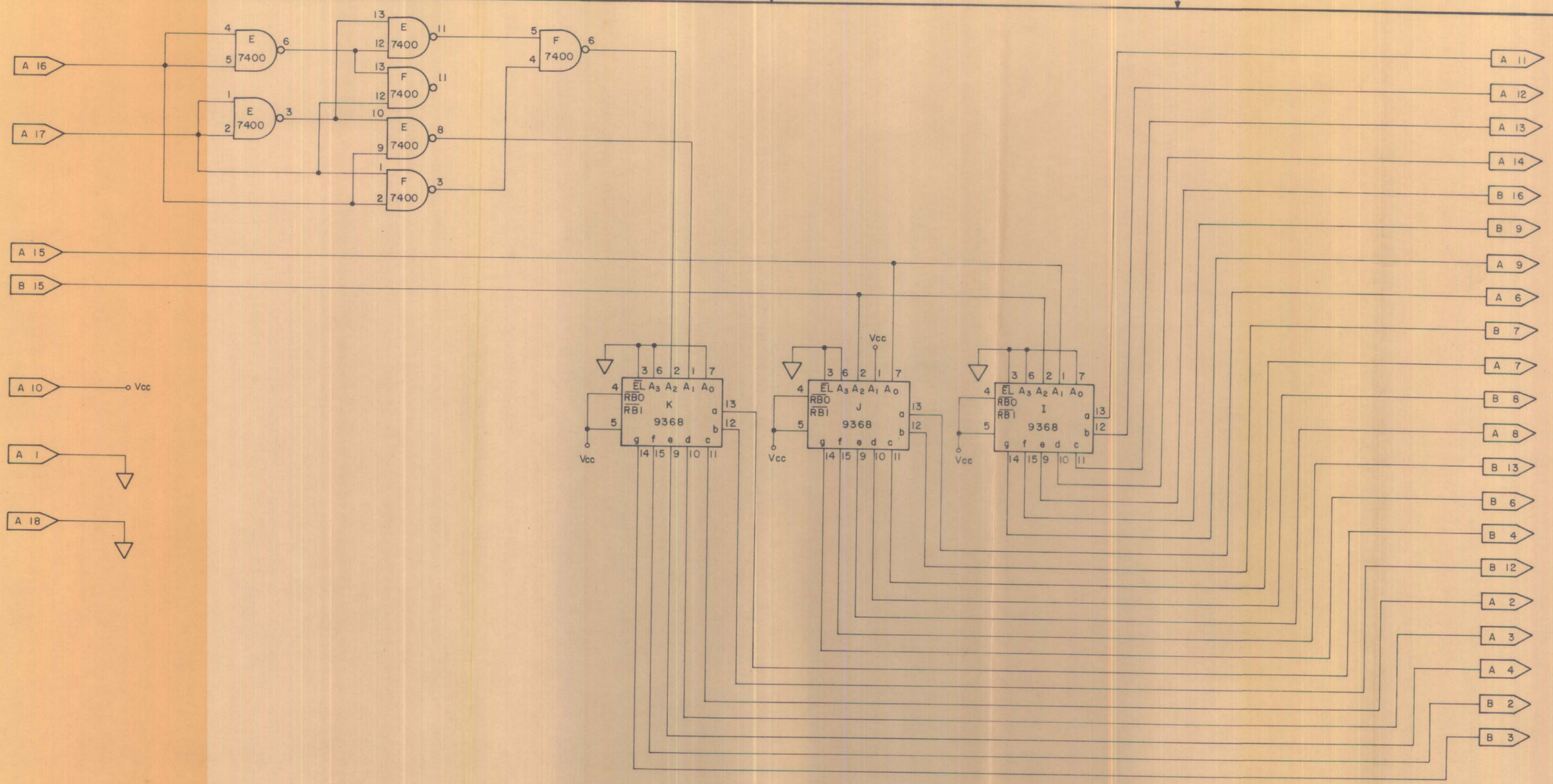

FIGURA 18 PLACA P6

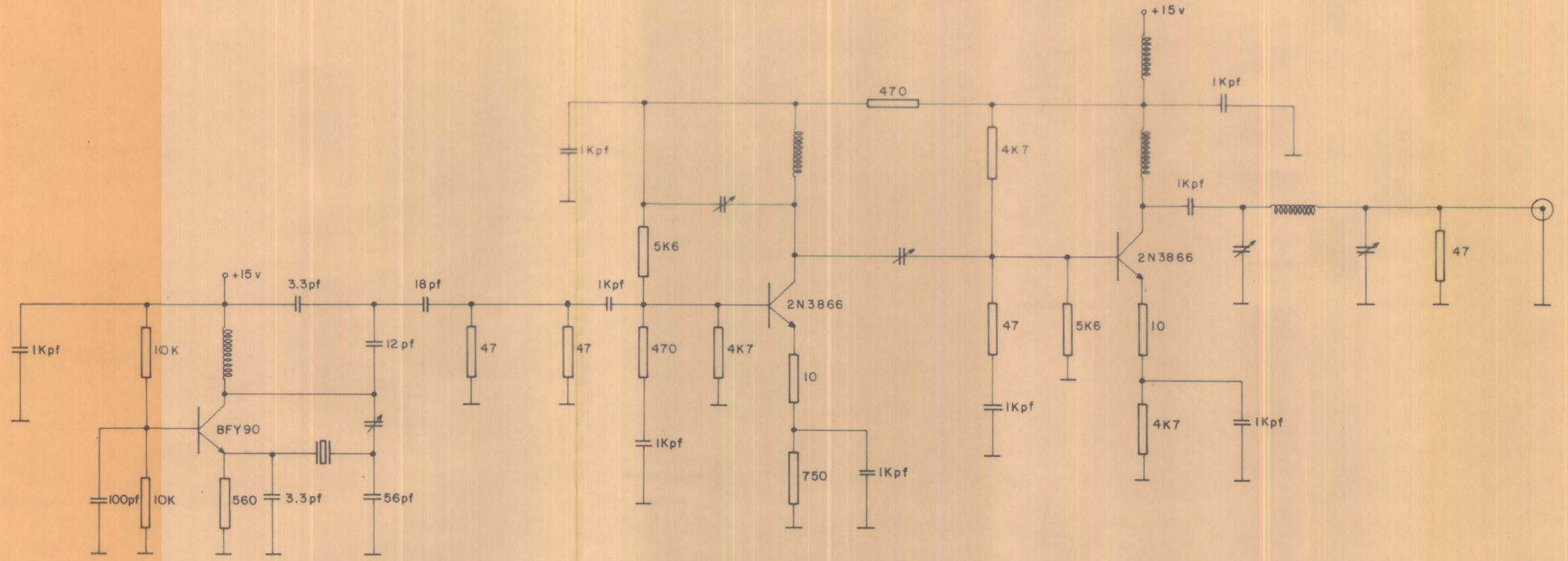

FIGURA 19 OSCILADOR

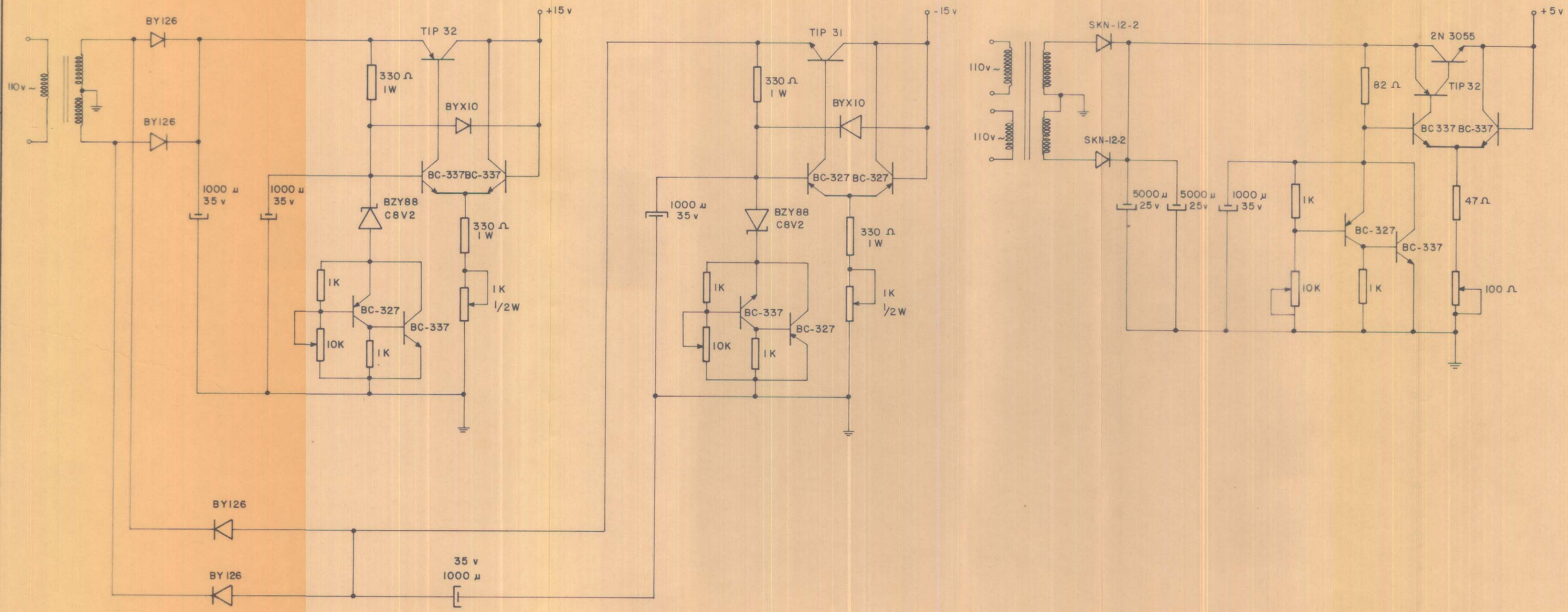

FIGURA 20 FONTES