

1. Classificação <i>INPE COM.3/RPI</i> <i>C.D.U.: 551.507.362.2</i>		2. Período	4. Distribuição
3. Palavras Chaves (selecionadas pelo autor) <i>TIROS N SATÉLITE METEOROLÓGICO</i> <i>AVHRR ESTAÇÃO RECEPTORA</i> <i>HRPT METEOROLOGIA</i>		interna ☒ externa ☐	
5. Relatório nº <i>INPE-1712-RPI/123</i>	6. Data <i>Abril, 1980</i>	7. Revisado por <i>Valter Rodrigues</i>	
8. Título e Sub-Título <i>RELATÓRIO SIMULADOR TIROS N</i>		9. Autorizado por <i>Nelson de Jesus Parada</i> Diretor	
10. Setor <i>DME/STD</i>	Código	11. Nº de cópias <i>03</i>	
12. Autoria <i>Marcos Antonio Rodrigues</i> <i>M. Rodrigues</i>		14. Nº de páginas <i>30</i>	
13. Assinatura Responsável		15. Preço	
16. Sumário/Notas <i>Na fase de testes dos equipamentos desenvolvidos para a Estação AVHRR - TIROS N tornou-se necessária uma simulação dos sinais recebidos pelos sistemas Sincronizador de Formato e Sincronizador de "Bits". Este sistema simula o formato de "frame" do sinal HRPT - TIROS N em dois tipos de codificação. A codificação PCM NRZ-L é disponível para o sinal fornecido ao Sincronizador de Formato, juntamente com o sinal de "clock" disponível. A codificação PCM "SPLIT-PHASE" é disponível ao Sincronizador de "Bits" O sinal fornecido pelo simulador é semelhante ao sinal do satélite a menos do ruído, que não foi adicionado ao mesmo.</i>			
17. Observações			

ÍNDICE

ABSTRACT	<i>iv</i>
LISTA DE FIGURAS	<i>v</i>
LISTA DE TABELAS	<i>vi</i>
1 - INTRODUÇÃO	1
2 - FORMATO DO FRAME HRPT - TIROS N	1
3 - DESCRIÇÃO DO SIMULADOR	3
4 - IMPLEMENTAÇÃO DO SIMULADOR	6
4.1 - Placa 2 - Gerador da Sequência PN Pequena	6
4.2 - Placa 1A - Gerador dos Dados	8
4.3 - Placa 3 - Gerador da Sequência PN Longa	10
4.4 - Placa 4 - Codificador e Condicionador do Sinal	11
4.4.1 - Codificador NRZ-L/SPLIT-PHASE	11
4.5 - Placa 1B - Gerador de Dados	13
4.6 - Placa 1D - Gerador de Dados	14
BIBLIOGRAFIA	17
APÊNDICE A - DIAGRAMAS	

ABSTRACT

In the course of testing equipments developed for AVHRR - TIROS N Station, it become necessary the input signals simulation for Format Synchronizer and Bit Synchronizer. This system simulate the frame format for HRPT - TIROS N satellite signal in two distinct codifications. The PCM NRZ-L codification is available for Format Synchronizer, jointly with the clock signal. The PCM SPLIT PHASE codifications is available for BIT Synchronizer. The simulated signal is alalogous to the satellite signal less the noise, that was 'nt added to the signal.

LISTA DE FIGURAS

1 - Circuito gerador de pulsos de inicialização	7
2 - Formas de onda dos pulsos de "RESET" e inicialização	7
3 - Circuito gerador de pulsos de inicialização	9
4 - Circuito gerador de pulsos de inicialização	10
5 - Formas de onda do codificador	12

LISTA DE TABELAS

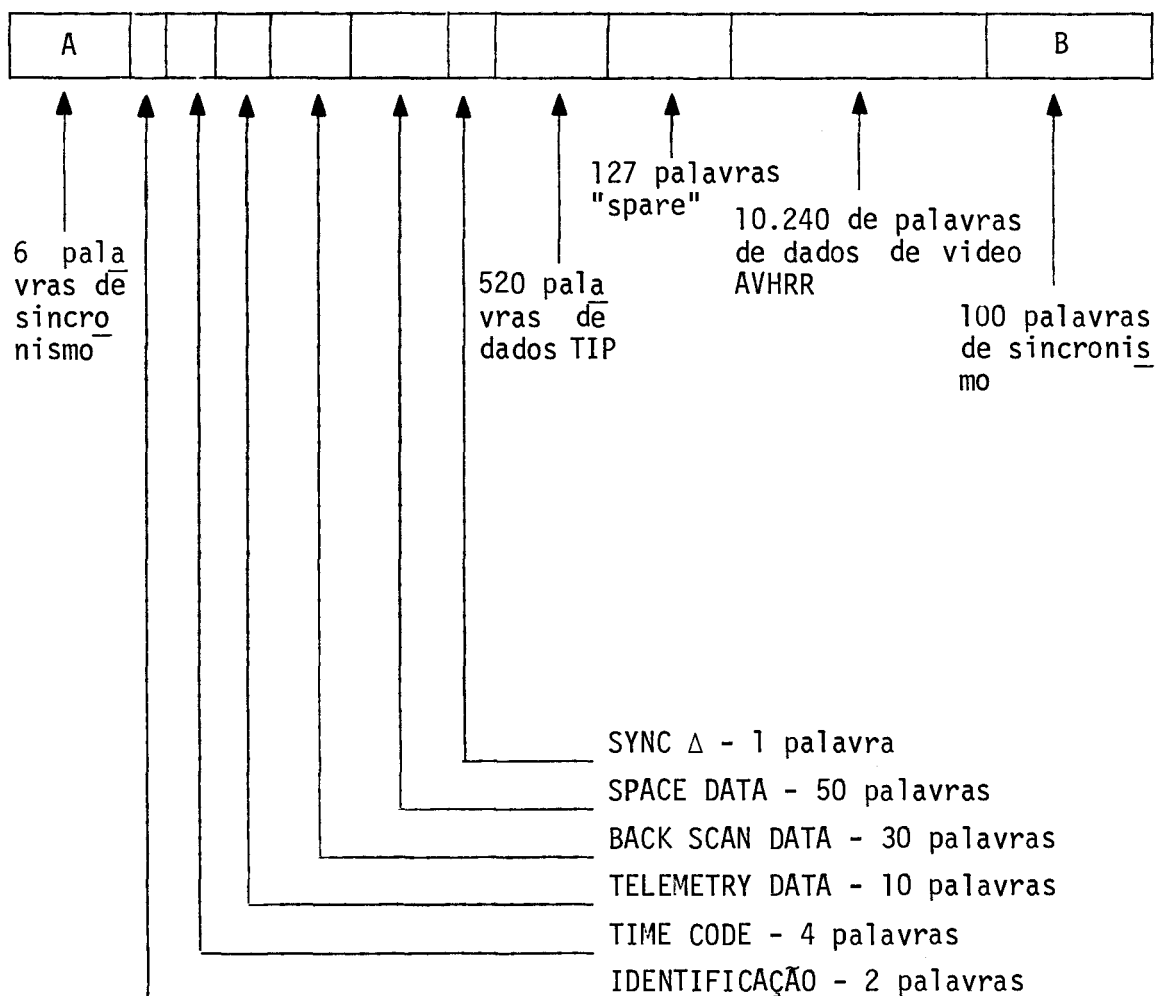
1 - Sequência PN pequena	2
2 - Sequência PN longa	3
3 - Palavras de dados	13
4 - Sequência de dados	15

1 - INTRODUÇÃO

Devido às dificuldades encontradas na fase de teste de algumas partes da Estação AVHRR - TIROS N, surgiu a necessidade de um sistema simulador do sinal fornecido ao decomutador PCM e ao sincronizador de "bits". Tal sistema simula o formato de frame do sinal HRPT-TIROS N, com características as mais próximas possível do sinal fornecido pelo satélite.

2 - FORMATO DO FRAME HRPT - TIROS N

O frame TIROS N é constituído de:



A: Os primeiros 60 "bits" de um gerador de PN de 63 "bits". O polinômio gerador é $x^6 + x^5 + x^2 + x + 1$. A sequência de "bits" é dada pela Tabela 1.

TABELA 1

SEQUÊNCIA PN PEQUENA

BIT Nº										POSIÇÃO DA PALAVRA
1	2	3	4	5	6	7	8	9	10	
1	0	1	0	0	0	0	1	0	0	1
0	1	0	1	1	0	1	1	1	1	2
1	1	0	1	0	1	1	1	0	0	3
0	1	1	0	0	1	1	1	0	1	4
1	0	0	0	0	0	1	1	1	1	5
0	0	1	0	0	1	0	1	0	1	6

B: Derivada da saída não invertida de um gerador de PN de 1024 "bits". O polinômio gerador é $x^{10} + x^5 + x^2 + x + 1$. A sequência de "bits" é visualizada através da Tabela 2.

TABELA 2

SEQUÊNCIA PN LONGA

BIT Nº										POSIÇÃO DA PALAVRA
1	2	3	4	5	6	7	8	9	10	
1	1	1	1	1	0	0	0	1	0	10.991
1	1	1	1	1	1	0	0	1	1	10.992
0	1	1	0	1	1	0	1	0	1	10.993
1	0	1	0	1	1	1	1	0	1	10.994
0	1	1	1	1	1	0	0	0	0	11.089
1	1	1	1	0	0	1	1	0	0	11.090

3 - DESCRIÇÃO DO SIMULADOR

Apresentaremos agora o diagrama em blocos do sistema, e através dele faremos a descrição do simulador.

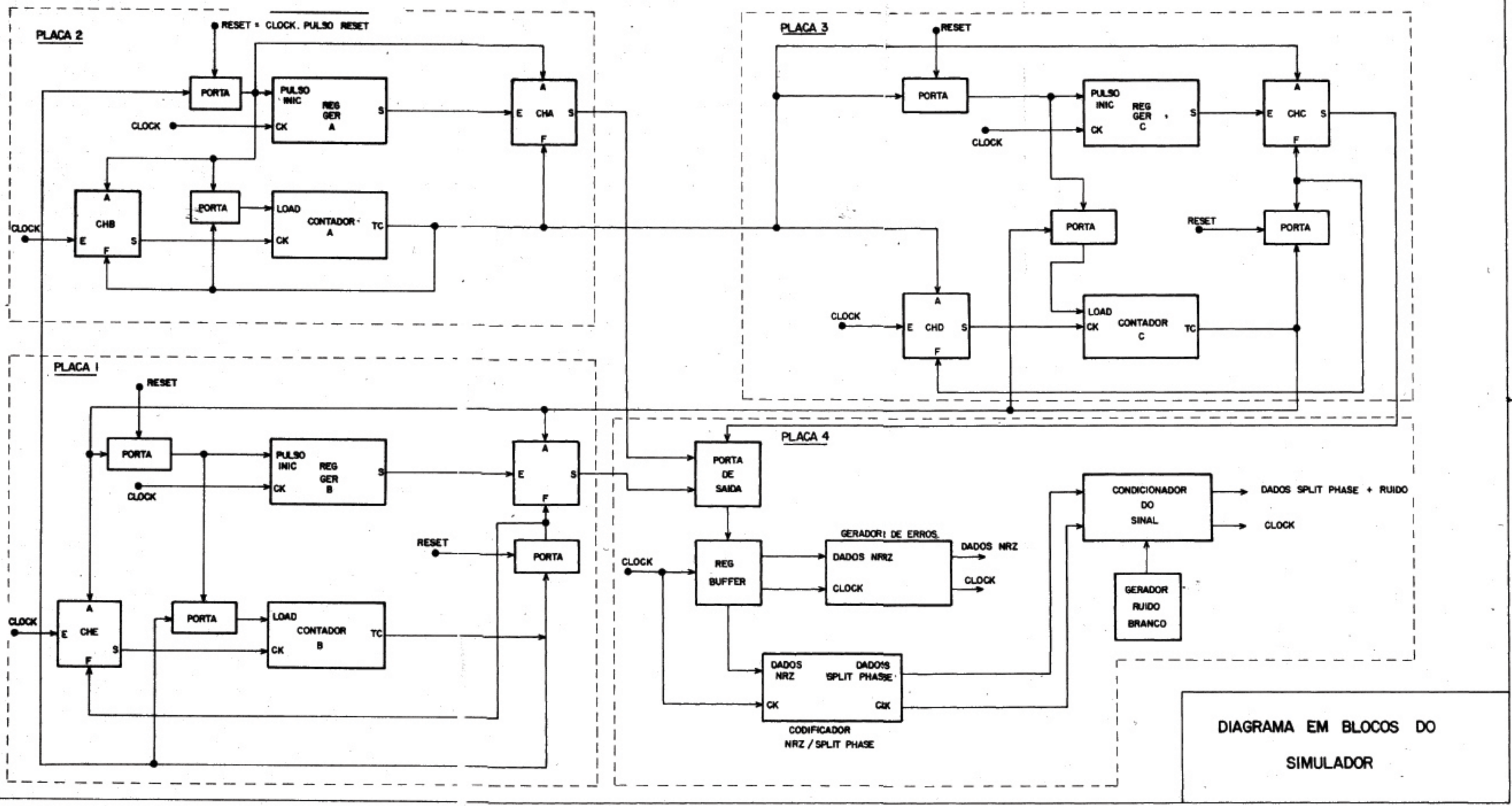


DIAGRAMA EM BLOCOS DO
SIMULADOR

A função do sistema é fornecer de maneira cíclica três sequências distintas de dados binários, que formam o frame HRPT - TIROS N. O sistema é inicializado por um pulso de "reset", gerado pela equação lógica

$$\text{RESET} = \text{CLOCK. PULSO RESET};$$

onde o "PULSO RESET" é gerado manualmente através de uma chave. A inicialização determina a condição inicial dos registros geradores A, B e C; fornece o carregamento inicial dos contadores A, B, e C; abre as chaves CHA e CHB e fecha as chaves CHC, CHD, CHE e CHF. A partir dessa condição inicial temos apenas o contador A funcionando e a porta de saída recebe dados apenas do registro gerador A. O registro gerador A produz a sequência PN A de sincronismo que é enviada a saída. O contador A funciona como base de tempo para a duração da sequência A; que após 60 períodos de "bit" fornece um pulso (TC). Esse pulso bloqueia o registro gerador A e o contador A fechando as chaves CHA e CHB respectivamente. Também fornece o carregamento inicial do contador A e ainda da sequência à produção do resto do frame inicializando o bloco C do simulador. O bloco C é inicializado com a abertura das chaves CHC e CHD, com o carregamento do contador C e a determinação da condição inicial do registro gerador C. O bloco C fornece a sequência de dados de informação e vídeo AVHRR, os quais são programados através de chaves e consistem em uma palavra de 10 "bits" que se repete durante toda a sequência. O controle de duração da sequência é análogo ao do bloco A e finda a contagem C o bloco C é bloqueado, inicializando o Bloco B. O bloco B envia à saída a sequência PN B e C análogo, em funcionamento, aos dois blocos anteriores. No término da contagem B o bloco B é inibido e inicializado o bloco A, e o processo se repete iniciando novo frame.

O bloco D do simulador é constituído de uma porta lógica, denominada porta de saída, com cada uma de suas entradas ligadas aos blocos A, B, e C respectivamente. Cada um dos registros geradores estão ligados à porta de saída, a qual produz na saída a sequência de dados série do frame. A sequência de dados é entrada em um gerador de erros que introduz aleatoriamente erros de "bit" a uma determinada taxa.

Esses dados com determinada taxa de erros, no formato NRZ-L, e mais o "clock" são os dados de saída a serem transmitidas ao Decomutador PCM. Os dados NRZ-L sem erros são também transferidos a um codificador NRZ para "SPLIT PHASE". Os dados codificados em "SPLIT PHASE" são transferidos a um condicionador de sinal o qual adiciona ruído ao sinal. Os dados "SPLIT PHASE" com ruído adicionado consistem na saída de dados fornecida ao Sincronizador de "Bits".

4 - IMPLEMENTAÇÃO DO SIMULADOR

Faremos agora uma descrição mais detalhada do sistema todo, o qual será dividido em blocos igual a divisão anterior, a menos de pequenas modificações. Esses blocos são montados fisicamente em placas distintas de circuito impresso.

4.1 - PLACA 2 - GERADOR DA SEQUÊNCIA PN PEQUENA

A sequência PN pequena é gerada por um registrador de deslocamento realimentado de acordo com o polinômio $x^6 + x^5 + x^2 + x + 1$. O registrador é inicializado com o conteúdo 000101 e o primeiro "bit" da sequência é o menos significativo. A sequência de saída do registrador (PNA) passa por uma chave (CHA) que abre no início da sequência e se fecha no final determinado pelo contador A. Esse contador serve como uma base de tempo para a duração da sequência PNA, o qual é inicializado no início dessa sequência e conta pulsos de "clock". Tais pulsos passam por uma chave (CHB) que se abre na inicialização e se fecha no final da contagem que controla a duração da sequência PNA. O contador é do tipo regressivo e seu carregamento binário inicial corresponde à duração da sequência PNA, que é de 60 "bits" ou 60 períodos de "clock". Esse carregamento é realizado na inicialização e no término de cada contagem. O pulso de inicialização que determina o conteúdo inicial do registrador e o carregamento do contador, que abre as chaves CHA e CHB é dado pelo circuito da Figura 1.

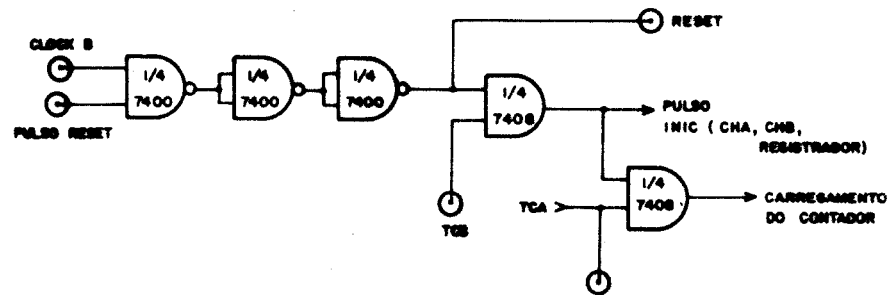


Fig. 1 - Circuito gerador de pulsos de inicializa~

O "pulso reset" é dado manualmente para uma inicializa~
ção ao colocar o simulador em operação. Enquanto existir o "pulso reset"
temos pulsos de inicialização como por exemplo os da Figura 2.

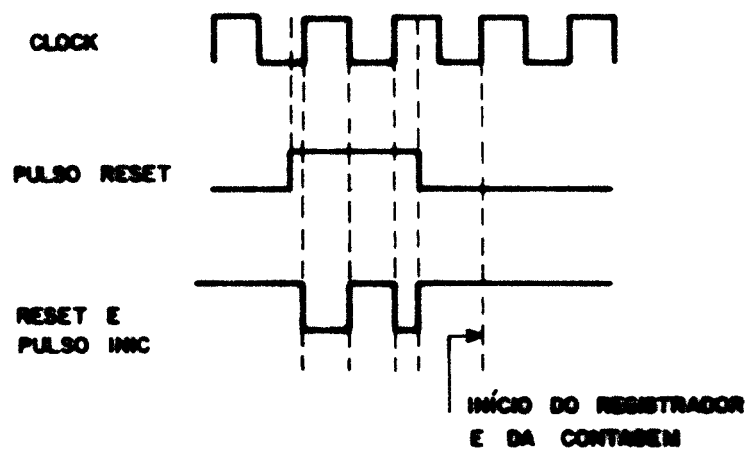


Fig. 2 - Formas de onda dos pulsos de "RESET" e
inicialização.

O "PULSO INIC" pode surgir também ao terminar um frame, no término da contagem do contador B, através do pulso TCB, com a finalidade de inicialização do frame seguinte. No final da sequência PNA o contador A fornece um pulso de término de contagem (TCA) que fecha as chaves CHA e CHB, inibindo a transferência de dados para a saída e a contagem. Esse mesmo pulso realiza o carregamento do contador A e inicializa o bloco seguinte, dando prosseguimento ao processo de geração do frame. O circuito acima ainda fornece um sinal "RESET" que é enviado às outras placas com a finalidade de inicialização.

Nessa placa ainda temos uma porta "AND" (7411) de 3 entradas que converte uma única linha os sinais: sequência PN pequena, sequência PN longa e dados. Na saída dessa porta teremos esses três sinais separados no tempo, constituindo um frame correto (dados NRZ), e a menos de alguns pulsos espúrios originados pelo intervalo de tempo entre o fechamento do registrador anterior e a abertura do registrador seguinte (no tempo).

4.2 - PLACA 1 A - GERADOR DOS DADOS (uma única palavra)

Os dados são gerados por um registrador de deslocamento realimentado diretamente formando um registrador circulador. O registrador é inicializado com um conteúdo determinado por chaves programáveis manualmente. Tais chaves estão disponíveis num painel e suas posições determinam o carregamento dos respectivos FLIP-FLOPS, chave para baixo indica carregamento de "0" o caso contrário "1". A sequência de saída do registrador (DADOS) passa por uma chave (CHC) que se abre no início da sequência de dados, comandada por TCA, e se fecha no final comandada pelo contador C (TCC). Esse contador serve como base de tempo para a duração da sequência de DADOS, o qual é inicializado no início dessa sequência, e conta pulsos de "clock". Tais pulsos passam por uma chave (CHD) que se abre no final da sequência PN pequena, comandada por TCA, e se fecha no final da contagem, comandada por TCC. O contador é do tipo regressivo e seu carregamento binário inicial corresponde à duração dos dados, que é de 10.984 palavras de 10 "bits" ou seja, 109.840 "bits"

ou períodos de "clock". Esse carregamento é realizado na inicialização e no término de cada contagem. O pulso de inicialização que determina o conteúdo inicial do registrador e o carregamento do contador, que abre ou fecha as chaves CHC e CHD é dado pelo circuito da Figura 3.

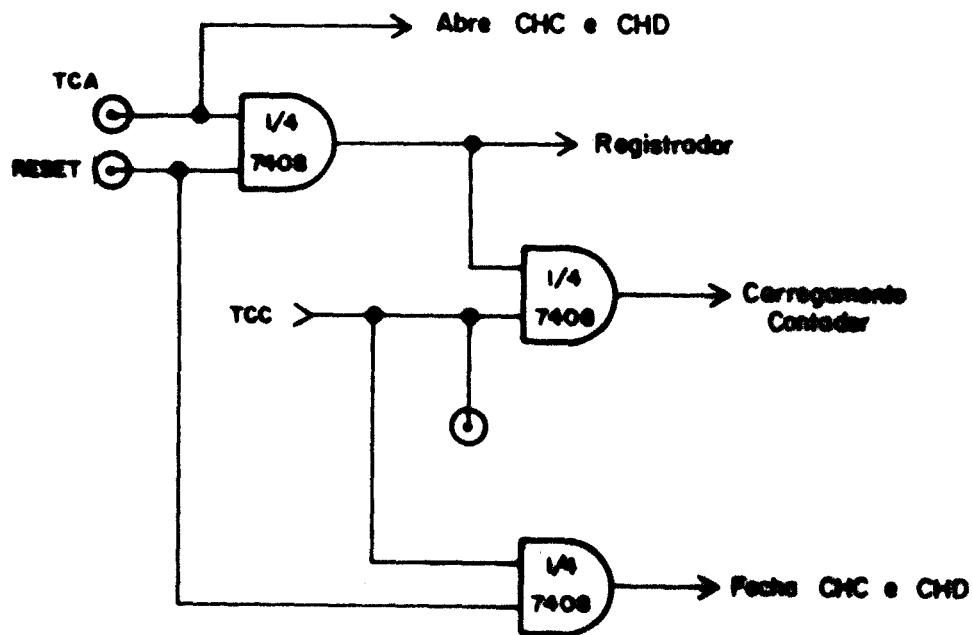


Fig. 3 - Circuito gerador de pulsos de inicialização.

A inicialização manual determina o início da sequência pequena e portanto fecha as chaves CHC e CHD, comandadas por RESET. Com o final da sequência pequena temos o início dos dados e portanto a abertura das chaves CHC e CHD, o carregamento do registrador C e do contador C, tudo isso comandado por TCA. No final dos dados temos novo carregamento do contador C e fechamento das chaves CHC e CHD, comandados por TCC.

Os dados gerados por esta placa são enviados a placa A onde são colocadas na linha de saída de dados NRZ.

4.3 - PLACA 3 - GERADOR DA SEQUÊNCIA PN LONGA

A sequência PN longa é gerada por um registrador de deslocamento realimentado de acordo com o polinômio $x^{10} + x^5 + x^2 + x + 1$. O registrador é inicializado com o conteúdo 0100011111 e o primeiro "bit" da sequência é o menos significativo. A sequência de saída do registrador (PNB) passa pela chave CHF que se abre no início da sequência, comandada por TCC, e se fecha no final, comandada pelo contador B (TCB). Esse contador serve como base de tempo para a duração da sequência PNB, o qual é inicializado no início dessa sequência, e conta pulsos de "clock". Tais pulsos passam pela chave CHE, que se abre no início da sequência, comandada por TCC, e se fecha no final da contagem, comandada por TCB. O contador é do tipo regressivo e seu carregamento binário corresponde à duração da sequência PNB, que é de 100 palavras de 10 "bits" ou seja, 1000 períodos de "clock". Esse carregamento é realizado na inicialização e no término de cada contagem. O pulso de inicialização que determina o conteúdo inicial do registro e o carregamento do contador, que abre ou fecha as chaves CHF e CHE é dado pelo circuito da Figura 4.

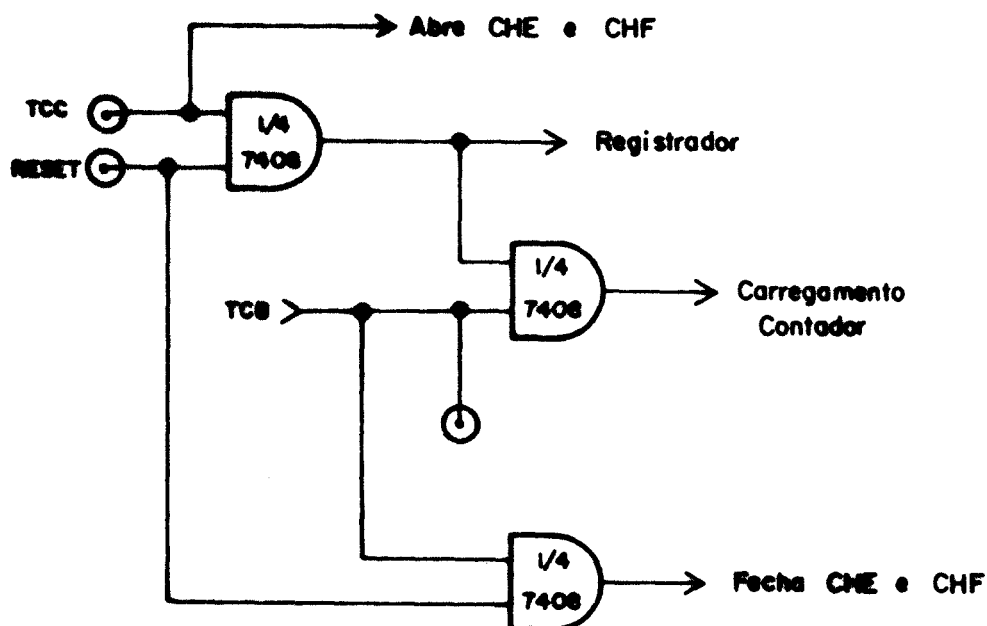


Fig. 4 - Circuito gerador de pulsos de inicialização.

A inicialização manual determina o início da sequência pequena e portanto fecha as chaves CHE e CHF, comandados por RESET. Com o final da sequência de dados temos o início da sequência PN longa e portanto a abertura das chaves CHE e CHF, o carregamento do registrador B e do contador B, tudo isso comandado por TCC. No final da sequência PN longa novo carregamento do contador C e fechamento das CHC e CHD, comandadas por TCB.

Os dados gerados por esta placa (PNB) são enviadas à placa A onde são transmitidas para a linha de saída de dados NRZ. O sinal produzido no término desta sequência é utilizado para inicializar o próximo frame, que é a inicialização da placa A e a produção da sequência PNA.

4.4 - PLACA 4 - CODIFICADOR E CONDICIONADOR DO SINAL

4.4.1 - CODIFICADOR NRZ-L/SPLIT-PHASE

Este circuito converte os dados codificados em NRZ-L para a codificação "SPLIT-PHASE". Inicialmente o circuito detecta o estado do dado NRZ e coloca o dado de saída no mesmo estado. Na metade do período de "clock" ele muda o estado da saída para o estado oposto. O circuito utiliza como entrada os sinais de "clock", os dados NRZ e os dados NRZ invertidos. A inversão é realizada pelo "FLIP-FLOP" tipo D (7474), que também elimina os pulsos espúrios que surgem entre a mudança de uma sequência para outra. Cada um dos dados (NRZ e NRZ invertido) controla a passagem do pulso, fornecido pelo monoestável, para as entradas de "preset" ou "clear" do "FLIP-FLOP" de saída. O dado "1" ("0" para o dado invertido) permite que tal pulso seja aplicado na entrada de "preset", o dado "0" permite passagem para a entrada de "clear".

A transição negativa do "clock" dispara o mono A, o pulso de saída passa através da porta habilitada e ativa o "FLIP-FLOP" de saída. A transição positiva do "clock" dispara o mono B, o pulso de saída é o "clock" dos dois "FLIP-FLOPS" (7470). Isto causa o "flip-flop"

de saída mudar de estado e esta completa a conversão. A operação do circuito é facilmente entendida através das formas de onda da Figura 5.

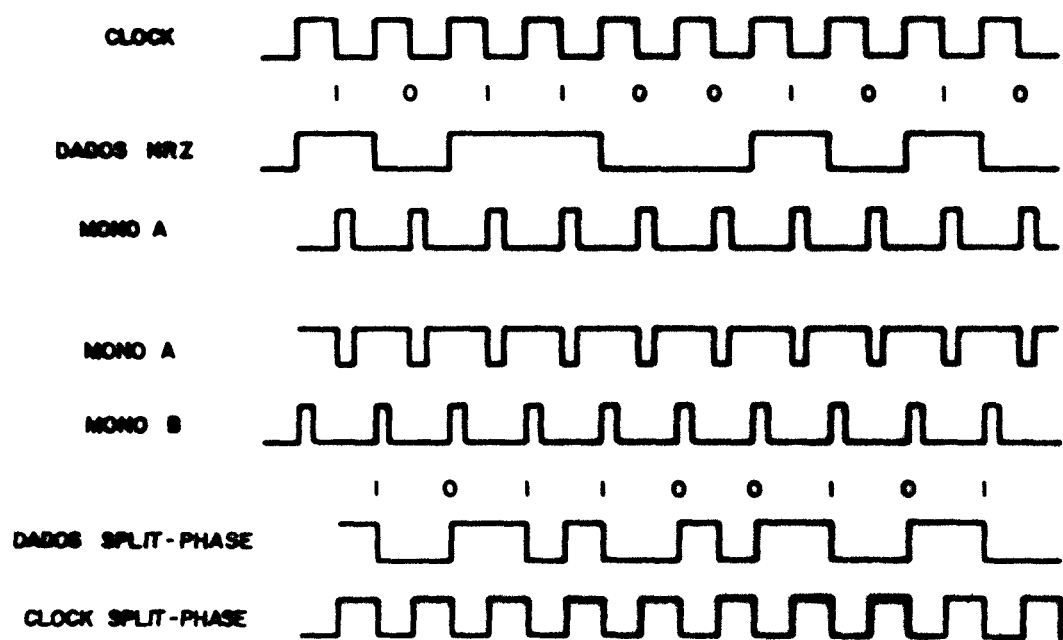


Fig. 5 - Formas de onda do codificador.

4.5 - PLACA 1B - GERADOR DE DADOS (5 palavras distintas)

O gerador de dados que fornece apenas uma palavra se repetindo em toda a sequência de dados é conveniente para o teste do De comutador. Para o teste do Programa de aquisição de dados, através do computador, são necessárias 5 palavras diferentes, para a verificação da aquisição correta dos 5 canais AVHRR.

O circuito gerador de dados é idêntico ao anterior no que se refere ao controle, diferindo apenas no registrador gerador de dados. Esse registro é constituído de 6 "Flip-Flops" e a saída do último é realimentada para as entradas J e K do primeiro. Esse registro é inicializado no estado "tudo um", juntamente com o contador D que é carregado com o conteúdo binário equivalente a 50. A cada 50 pulsos de "clock" esse contador fornece um pulso de término de contagem, que é usado para inicializar o registrador e autocarregamento de contador. Portanto tem-se uma sequência de 50 "bits" se repetindo, que consiste nas 5 palavras se repetindo durante toda a sequência de dados. Na Tabela 3 temos a sequência de "bits" que consiste nas 5 palavras de dados.

TABELA 3

PALAVRAS DE DADOS

BIT Nº										POSIÇÃO DA PALAVRA
1	2	3	4	5	6	7	8	9	10	
1	1	1	1	1	1	0	1	0	1	7
0	1	1	0	0	1	1	0	1	1	8
1	0	1	1	0	1	0	0	1	0	9
0	1	1	1	0	0	0	1	0	1	10
1	1	1	0	0	1	0	1	0	0	11

TABELA 4

SEQUÊNCIA DE DADOS

DECIMAL	BIT Nº										POSIÇÃO DA PALAVRA
	1	2	3	4	5	6	7	8	9	10	
743	1	0	1	1	1	0	0	1	1	1	7
742	1	0	1	1	1	0	0	1	1	0	8
741	1	0	1	1	1	0	0	1	0	1	9
:											:
0	0	0	0	0	0	0	0	0	0	0	750
1023	1	1	1	1	1	1	1	1	1	1	751
1022	1	1	1	1	1	1	1	1	1	0	752
:											:
0	0	0	0	0	0	0	0	0	0	0	1774

SE REPETE
10 VEZES.

BIBLIOGRAFIA

SCHWALB, A. *The TIROS N/NOAA A-G satellite series*. Washington, D. C., NOAA, 1978. (NOAA Technical Memorandum NESS 95)

APENDICE A

DIAGRAMAS

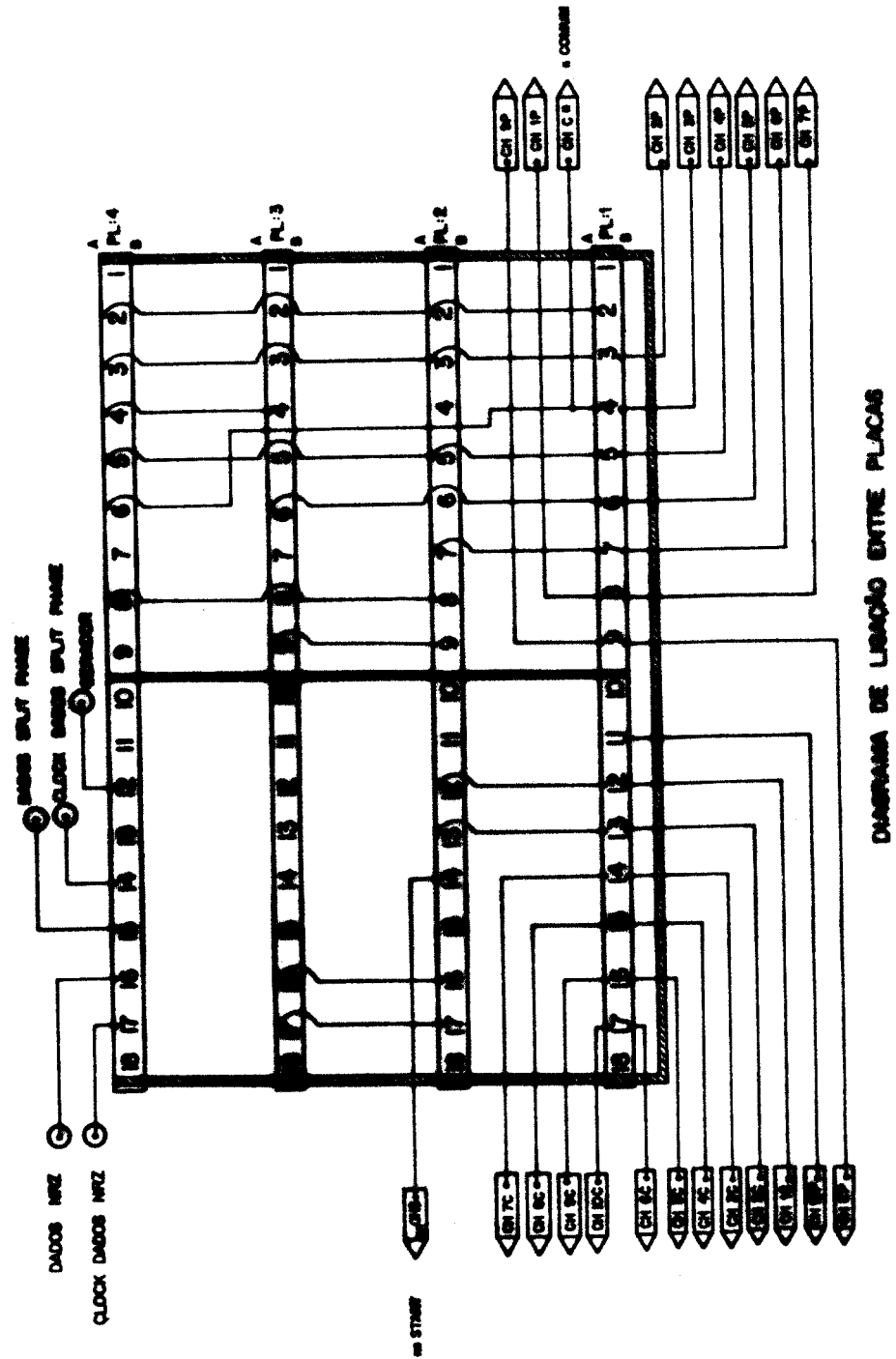


DIAGRAMA DE LIGAÇÃO ENTRE PLACAS

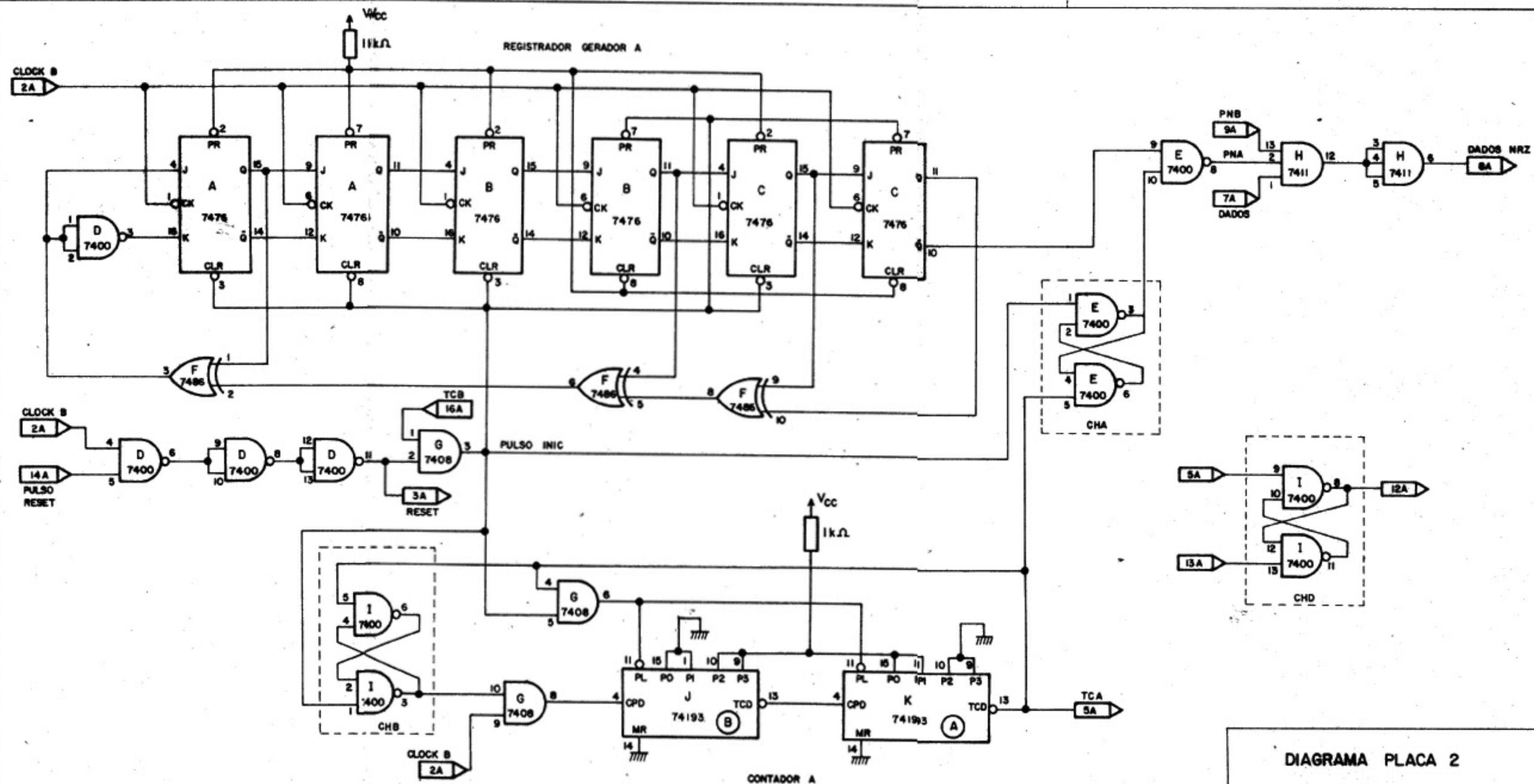
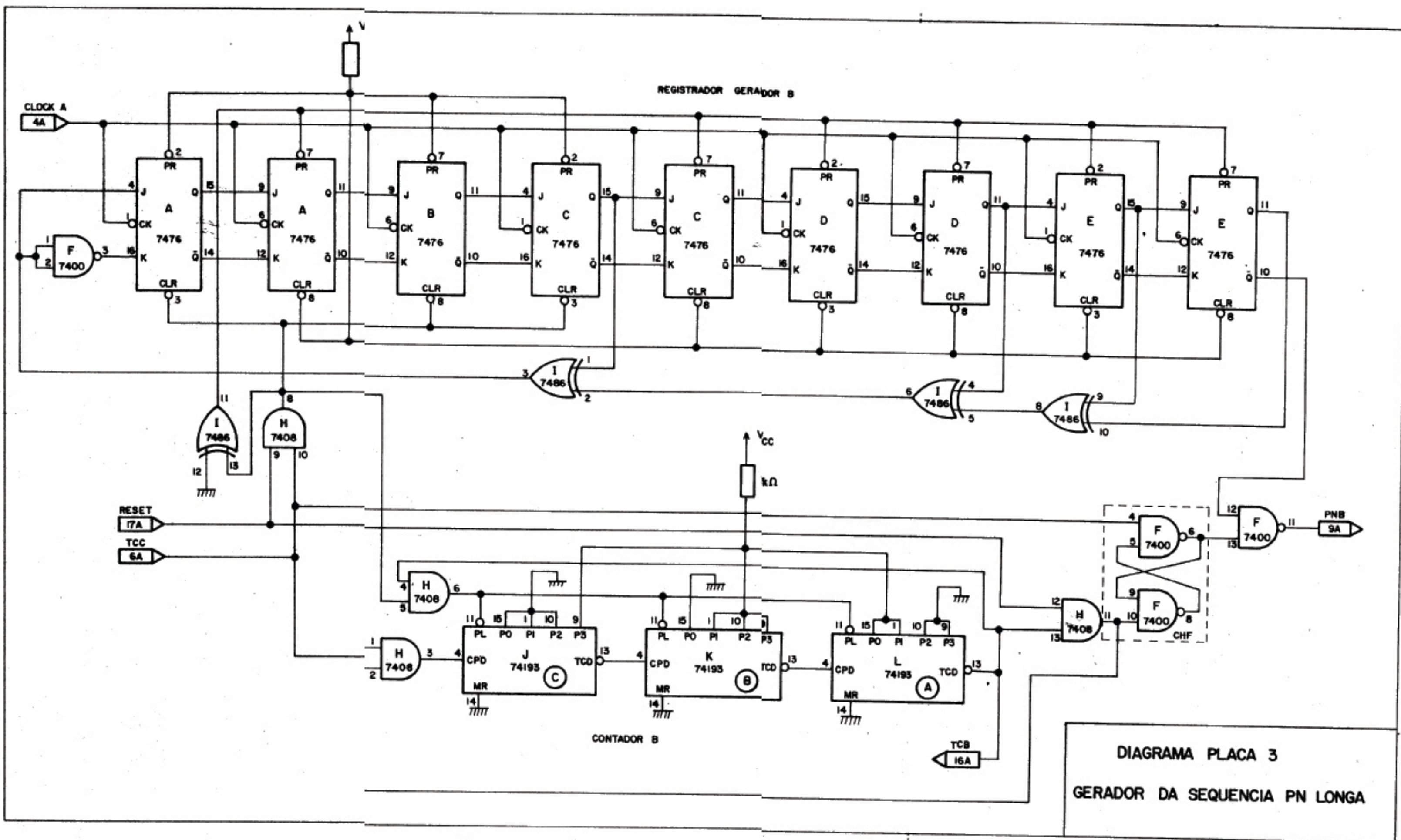


DIAGRAMA PLACA 2
GERADOR DA SEQUENCIA PN PEQUENA



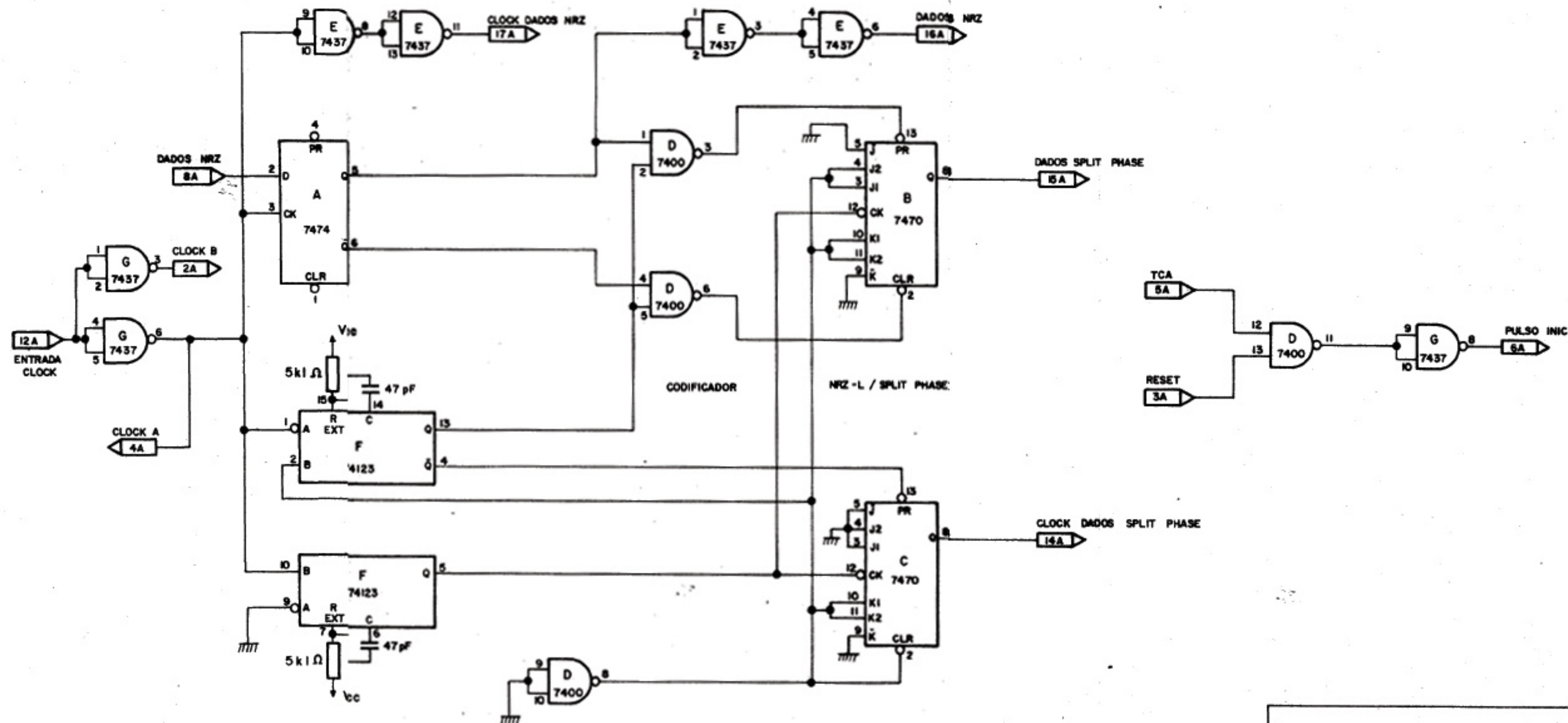


DIAGRAMA PLACA H
CODIFICADOR NRZ-L / SPLIT PHASE

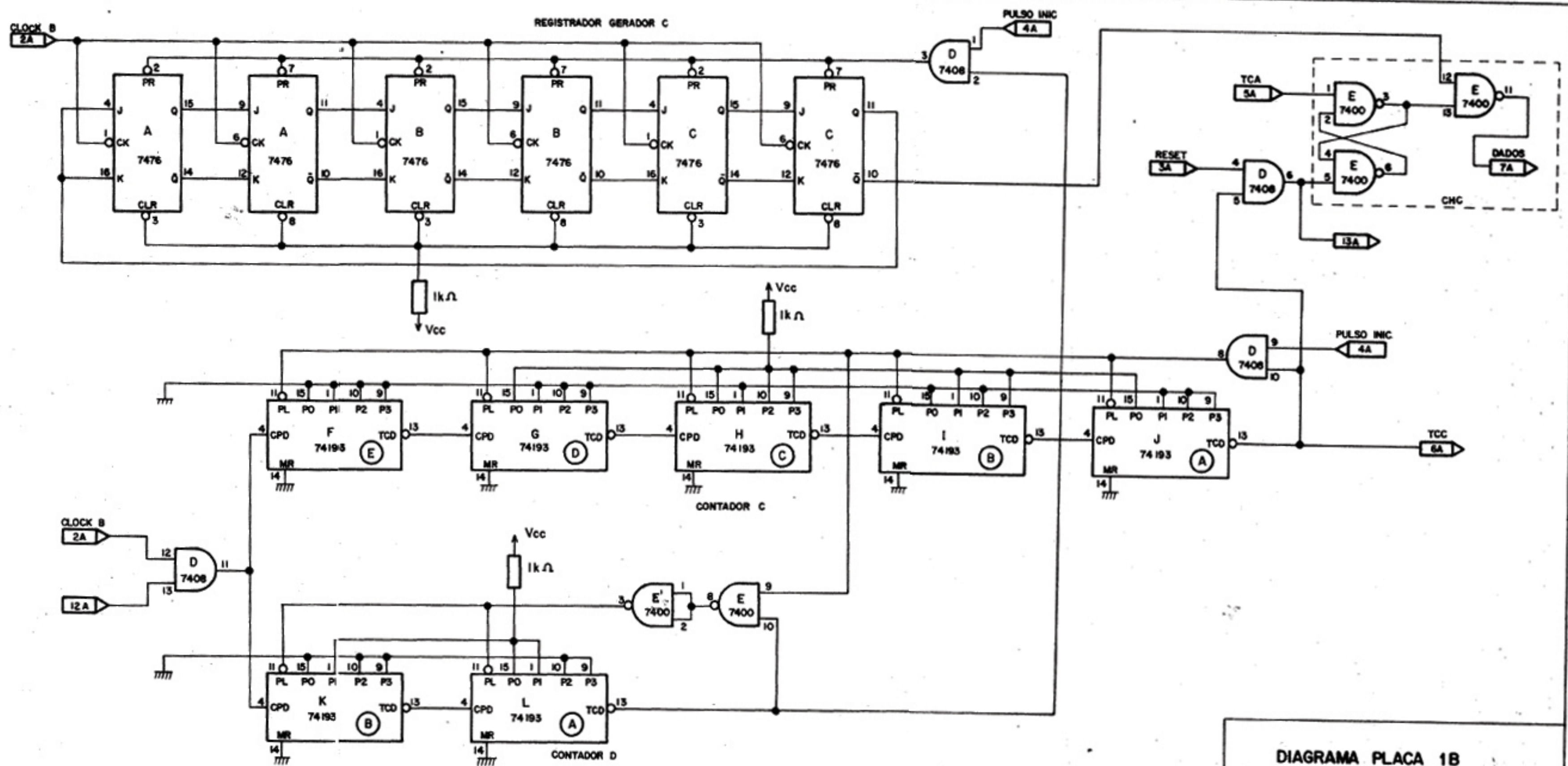


DIAGRAMA PLACA 1B
GERADOR DE DADOS

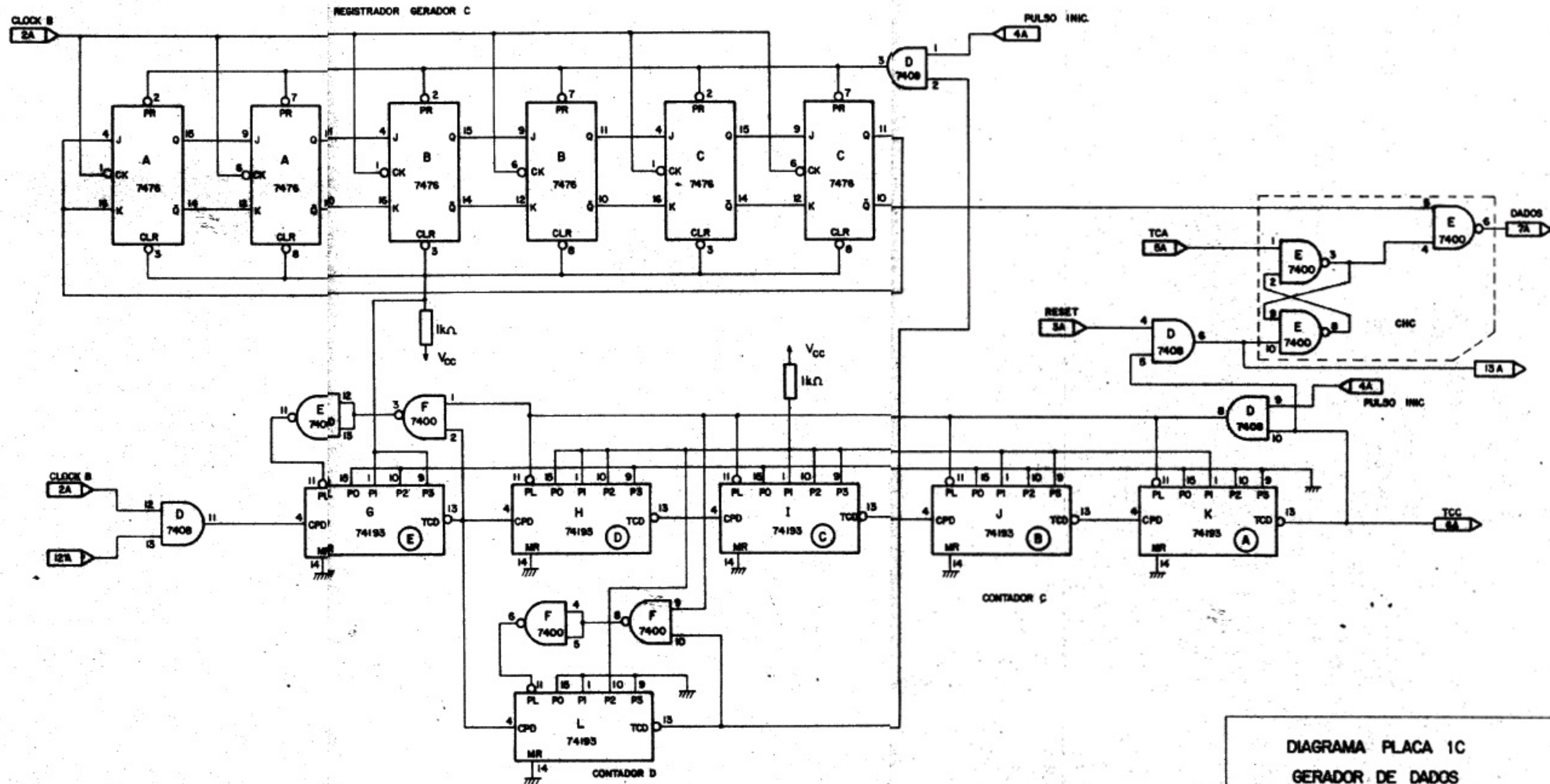


DIAGRAMA PLACA 1C
GERADOR DE DADOS

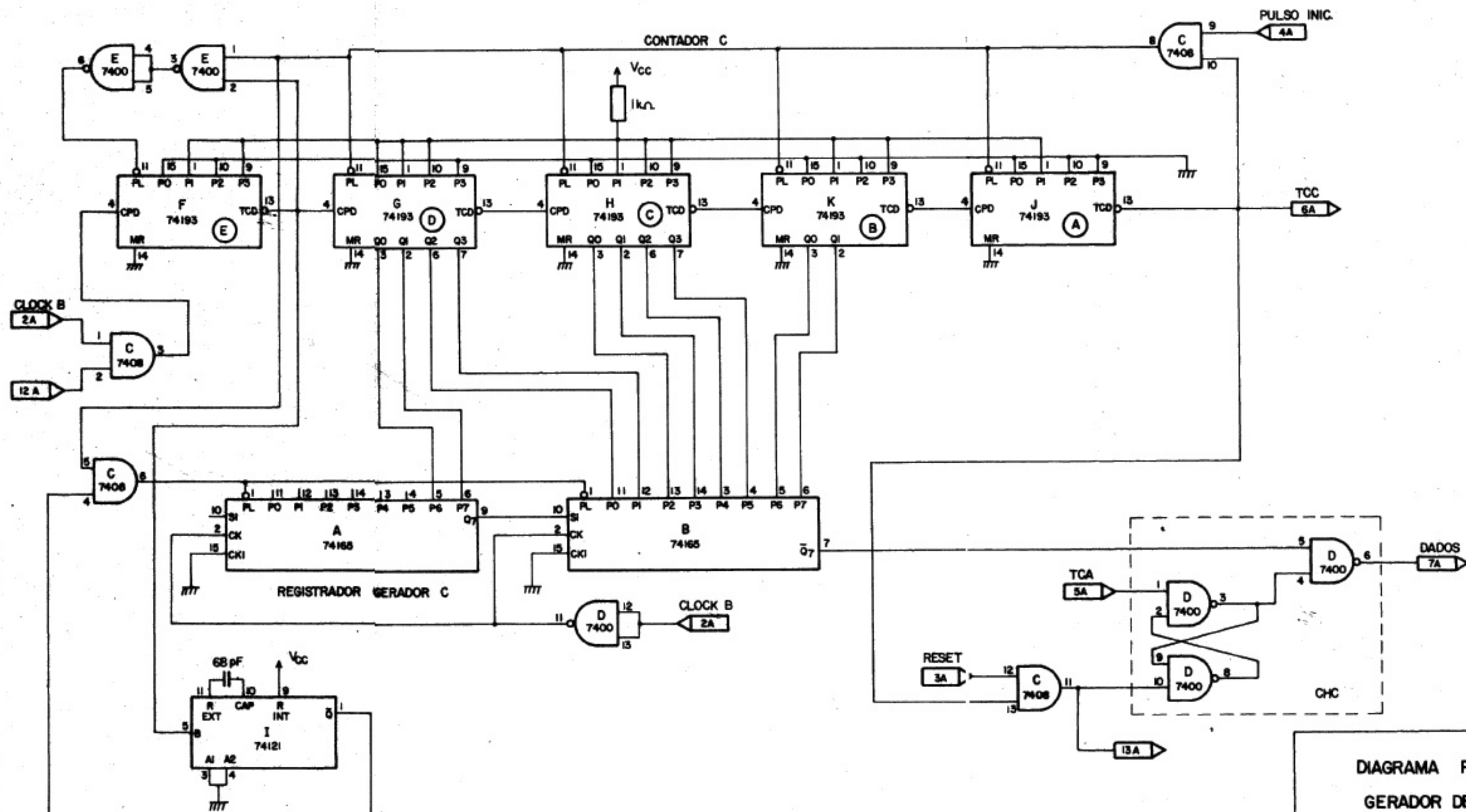


DIAGRAMA PLACA 1D
GERADOR DE DADOS