1. Publicação nº	2. Versão	3. Data	5. Distribuição
INPE-2404-RTR/012		*Maio, 1982*	☐ Interna ☐ Externa ☒ Restrita
4. Origem *DEE/DEL*	Programa *SISMAG/SDA*		

6. Palavras chaves - selecionadas pelo(s) autor(es)

PROCESSO DE MODULAÇÃO E DE DEMODULAÇÃO

7. C.D.U.: *621.376.5*

8. Título *INPE-2404-RTR/012*

MODELO FUNCIONAL PARA PROCESSO DE MODULAÇÃO E DEMODULAÇÃO DE SINAIS DO TIPO PSK E DPSK

10. Páginas: *37*

11. Última página: *29*

12. Revisada por

Clóvis S. Pereira

9. Autoria *Mario Mammoli*
Leon Lonneux
Eduardo Whitaker Bergamini

Assinatura responsável

13. Autorizada por

Nelson de Jesus Parada
Diretor

14. Resumo/Notas

A finalidade deste trabalho é a de apresentar os modelos de modulação e demodulação através de seus diagramas de blocos. São mostradas as funções que realizam os modelos propostos, assim como suas inter-relações. Tanto o modulador como o demodulador foram realizados observando-se a padronização internacional recomendada pela CCITT.

15. Observações

ABSTRACT

The purpose of this work is to present the modulator and demodulator models, represented by their block diagrams. The functions and their interrelations, which realize the proposed models, are shown. The modulator as well as the demodulator were designed in accordance with international standards recommended by CCITT.

SUMÁRIO

Pág.

LISTA DE FIGURAS v

CAPÍTULO 1 - INTRODUÇÃO 1

CAPÍTULO 2 - DIAGRAMA DE BLOCOS DO MODULADOR 3

2.1 - Circuito "Scrambler" 7
2.2 - Circuito conversor série-paralelo 7
2.3 - Circuito codificador 8
2.4 - Circuitos de filtragem 8
2.5 - Circuitos multiplicadores e de soma 9
2.6 - Circuito de conversão D/A e filtro passa-baixa 9

CAPÍTULO 3 - DIAGRAMA DE BLOCOS DO DEMODULADOR 11

3.1 - Circuito de entrada 13
3.2 - Circuito de aquisição 14
3.3 - Circuito de recuperação de sincronismo 14
3.4 - Circuito gerador de sinais multiplos (DPLL)..... 17
3.5 - Circuito de recuperação da portadora 18
3.6 - Circuito demodulador propriamente dito 19
3.7 - Circuito de filtragem de banda base 20
3.8 - Circuito de equalização 22
3.9 - Circuito de decodificação e decisão 23
3.10 - Circuito paralelo-série 24
3.11 - Circuito"Descrambler"..... 25
3.12 - Circuito sequenciador 26
3.13 - Conclusão 27

REFERÊNCIAS BIBLIOGRÁFICAS 29

$\therefore$

LISTA DE FIGURAS

Pág.

2.1 - Diagrama de blocos do modulador do modelo teórico 4
2.2 - Diagrama de blocos do modulador do modelo implementado ... 5
2.3 - Diagrama do conversor série-paralelo 8
3.1 - Diagrama de blocos do demodulador 12
3.2 - Determinação de cruzamento de zero 15
3.3 - Curva característica dos filtros de banda base 21
3.4 - Diagrama do circuito de decodificação e decisão 24
3.5 - Diagrama do conversor paralelo-série 25

CAPÍTULO 1

INTRODUÇÃO

Existe a necessidade de uma maior velocidade na transmissão quando o fator volume de dados versus tempo real é significativo. Este é normalmente o caso quando se trata, por exemplo, da transmissão de imagens por canais telefônicos. Este problema estimulou o desenvolvimento de um projeto totalmente nacional que pudesse não só ser passível de futura industrialização, mas que também utilizasse uma tecnologia condizente à realidade industrial brasileira.

A partir do levantamento e estudo de cada função necessária para se atingir tal objetivo, foi estruturado um diagrama de blocos cuja finalidade foi a de possibilitar uma melhor compreensão do problema.

Neste trabalho são apresentados, de uma forma clara e sucinta, as funções importantes que devem ser implementadas para se realizar um modulador e um demodulador, cujas velocidades de transmissão e de recepção sejam de 2400 e 4800 bits por segundo, e que utilizam uma modulação do tipo "Phase Shift Keying" ou "Differential Phase Shift Keying".

∴

CAPÍTULO 2

DIAGRAMA DE BLOCOS DO MODULADOR

Basicamente o modulador pode ser dividido em blocos funcionais tais como:

1. Circuito "Scrambler", cuja função é a de uniformizar a distribuição de potência do sinal no canal de transmissão, evitando a geração de padrões de sinais repetitivos.

2. Circuito conversor série-paralelo, cuja finalidade é a de agrupar corretamente os bits de saída do "Scrambler", formando conjuntos de bits chamados dibits, tribits,... etc aos quais estão associados os símbolos.

3. Circuito codificador que, a partir do sinal de entrada, gera as componentes em fase e em quadratura de banda base já que se trata de um esquema bidimensional de modulação.

4. Circuitos de filtragem, cuja finalidade é a de amoldar o espectro do sinal na faixa determinada pelo meio de transmissão.

5. Circuitos multiplicadores e de soma, cuja finalidade é a de multiplicar os sinais de banda base pelas funções seno e coseno da portadora, somando os produtos em seguida.

6. Circuito conversor D/A e filtro passa-baixas, cuja finalidade é a de converter o sinal digital do modulador para sinal analógico, tendo o filtro a característica de atenuar o espectro fora da faixa de utilização.

O diagrama de blocos do modelo teórico proposto pode ser visto na Figura 2.1 e o diagrama de blocos no modulador do modelo implementado na Figura 2.2.

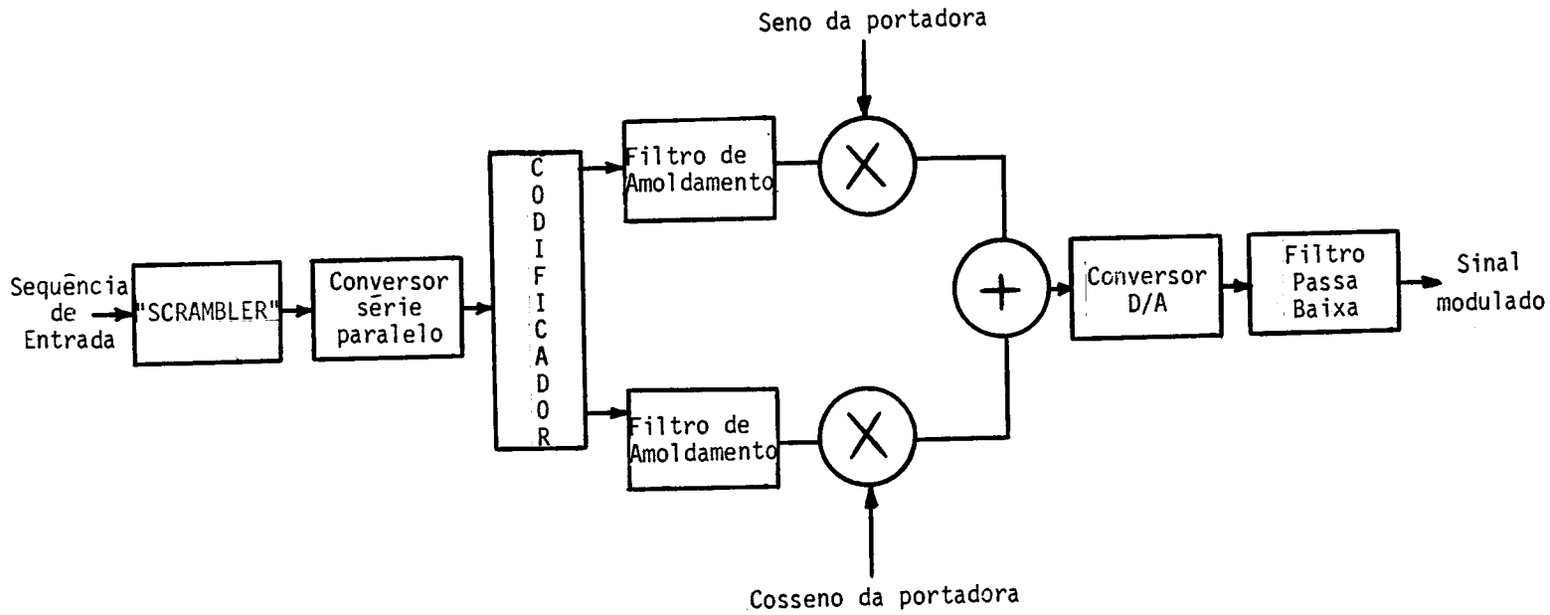

Fig. 2.1 - Diagrama de blocos do modulador do modelo teórico.

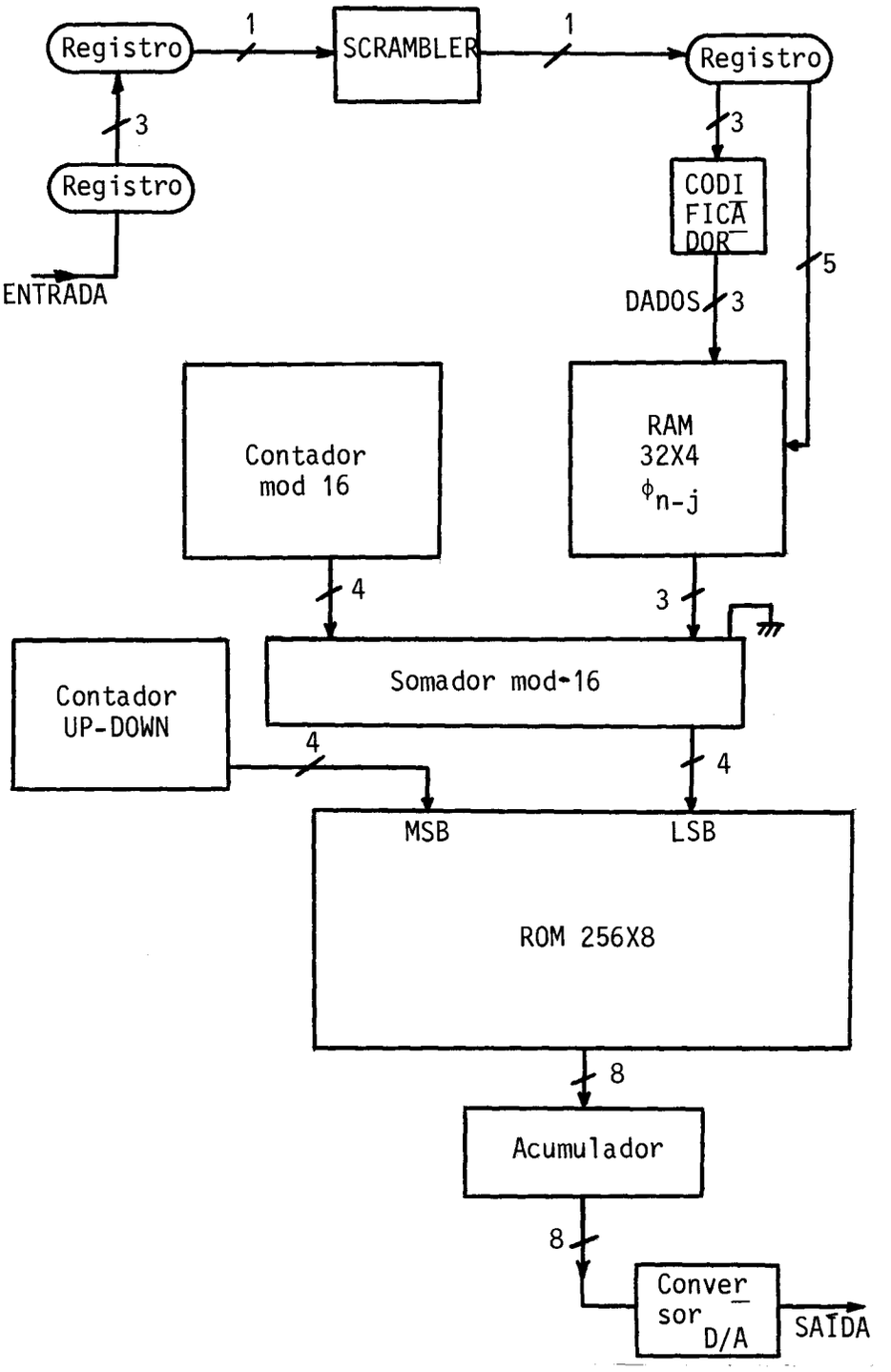

Fig. 2.2 - Diagrama de blocos do modulador do modelo implementado.

Modelo realizado na prática

Através do uso eficiente de uma memória ROM, o sinal modulado, a ser transmitido, pode ser gerado sem utilizar fisicamente as seções 2.3, 2.4 e 2.5 do diagrama de blocos (modelo teórico). A taxa de amostragem necessária para sintetizar o sinal a ser transmitido foi escolhida para ser igual a seis vezes a taxa de repetição de símbolos. Desse modo, a rotação de fase da portadora durante um período de amostragem é multipla de $\pi/8$. Então a amostra do sinal de linha $S_{n,i}$, no tempo $T = nT + iT/6$ $(i = 0,1,...5)$, é dada por:

$$S_{n,i} = \mathrm{Re}\left[\sum_{j=-J}^{J} h_{j,i} \cdot A_{n-j} e^{jk(6n+i)\pi/8}\right]$$

onde $h_{j,i}$ é a resposta impulsiva do filtro de amoldamento no instante $t = (j + i/6)T$. Os parâmetros A_n são dados no instante $t = nT$, e k é uma constante, sendo $k = 3$ para transmissões de 1.600 bauds e $K = 4$ para 1.200 bauds.

A equação acima pode ser reescrita da forma:

$$S_{n,i} = \sum_{j=-J}^{J} h_{j,i} \cos[I(n,j,i)\pi/8],$$

sendo

$$I(n,j,i) = [\phi_{n-j} + C_{n,i}] \bmod 16,$$

onde

ϕ_{n-j} é um inteiro tal que $A_{n-j} = e^{j\phi_{n-j} \times \pi/8}$, e $C_{n,i} = k(6n+i)$ é o conteúdo de um contador hexadecimal que conta k a cada período de amostragem.

Portanto, como foi visto, pode-se eliminar a operação de multiplicação, armazenando-se:

$$h_{j,i} \cos n\pi/8 \qquad n = 0, 1, 2, \ldots, 15$$

para todos os j e i, com o auxílio de uma memória ROM.

Com acesso adequado da memória ROM, com posterior acúmulo dos produtos nela lidos, durante um período de amostragem, obtém-se uma amostra do sinal modulado (linha).

O acesso à memória ROM é determinado pela portadora e pela seqüência de dados devidamente armazenados numa memória do tipo RAM.

2.1 - CIRCUITO "SCRAMBLER"

O circuito "Scrambler" padronizado pelo CCITT (1972) é caracterizado pelo polinômio gerador $P(x) = 1 + x^{-6} + x^{-7}$, sendo a mensagem a ser transmitida dividida por este polinômio.

Os coeficientes do quociente desta divisão tomados numa ordem descendente formam a seqüência de dados a serem transmitidos. Uma seqüência de bits da forma $P(x) = \sum_{1=0}^{32} a_i \; x_i$, onde $a_i = 1$ ou 0 e $a_i = a_i + 9$ ou $a_i + 12$ é sempre pesquisada num comprimento de 45 bits; caso esta ocorra, o bit que segue imediatamente esta seqüência é invertida antes da transmissão.

O "Scrambler" também é responsável pela geração da seqüência de treinamento de acordo com a normas da CCITT.

2.2 - CIRCUITO CONVERSOR SÉRIE-PARALELO

Este cirucito tem o objetivo de agrupar corretamente os bits de saída do "Scrambler".

O número de bits agrupados é determinado, dividindo-se a taxa de transmissão (bits/seg) pela taxa de repetição de símbolos (bauds). No caso de uma taxa de transmissão de 4800 bits/seg e uma repetição de símbolos de 1600 bauds, o agrupamento será de 3 em 3 bits (Q_A, Q_B e Q_C). O circuito correspondente é constituído por um registro de deslocamento de n bits e de um registro de armazenamento também de n bits, como pode ser visto na Figura 2.3.

O relógio de deslocamento é múltiplo inteiro do relógio de armazenamento.

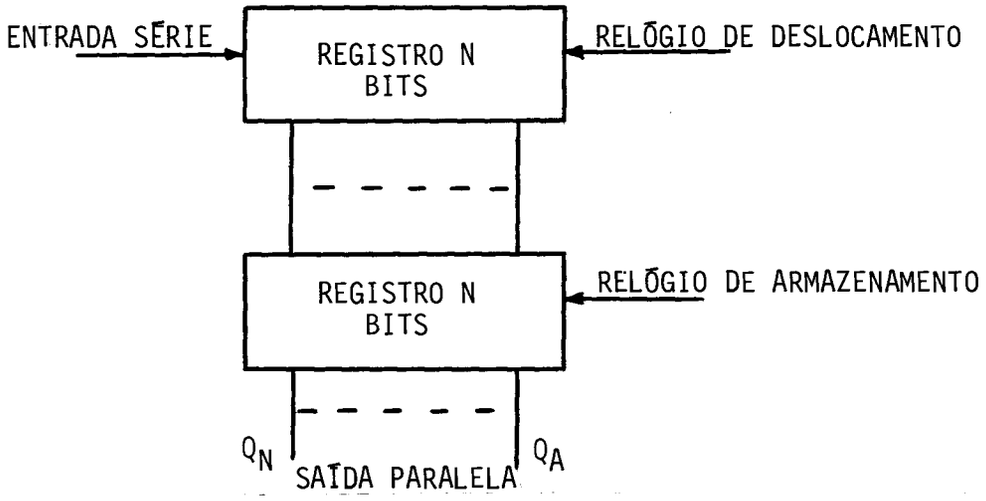

Fig. 2.3 - Diagrama do conversor série-paralelo.

2.3 - CIRCUITO CODIFICADOR

Numa modulação bidimensional, a cada símbolo é associado um vetor que representa o comportamento instantâneo da forma de onda da portadora. Este vetor é caracterizado na forma polar através do seu módulo e de sua fase. No entanto, a representação do vetor na forma cartesiana é mais adequada à compreensão dos processos de modulação e demodulação, dando origem às chamadas componentes em fase e em quadratura.

O circuito proposto pode ser visto como uma tabela endereçada periodicamente pelos bits de saída do conversor série-paralelo e cujas saídas fornecem os valores de ambas as componentes.

Dependendo do tipo de modulação utilizada (DPSK,PSK; ... etc.), este codificador pode ser da forma absoluta ou diferencial.

2.4 - CIRCUITOS DE FILTRAGEM

Esses filtros, em conjunto com os mesmos filtros utilizados na demodulação, satisfazem os critérios de Nyquist relativos à teoria da transmissão de dados. A norma da CCITT recomenda que a caracte

rística de filtragem do conjunto transmissor-receptor seja dividida por igual entre o transmissor e o receptor, e que o fator de "Roll-off" seja de 50%. Uma descrição mais detalhada deste circuito é apresentada no Capítulo 3.

2.5 - CIRCUITOS MULTIPLICADORES E DE SOMA

As componentes de banda base, devidamente filtradas pelos filtros de amoldamento, são multiplicadas pela função coseno e pela função seno da portadora, conforme pode ser visto na Figura 2.1. Após a multiplicação de cada componente, estas são somadas dando origem ao sinal modulado em fase. Este sinal é convertido em analógico, filtrado e acoplado ao meio de transmissão.

2.6 - CIRCUITO DE CONVERSÃO D/A E FILTRO PASSA-BAIXA

Estando o sinal a ser transmitido na forma digital, há necessidade de adaptá-lo ao meio de transmissão. A adaptação é realizada através de um conversor digital-analógico com várias amostras por ciclo. A seguir, é utilizado um filtro passa-baixa, do tipo Bessel, para evitar distorções de fase e para atenuar as harmônicas originadas pelo processo de amostragem.

O filtro passa-baixa, do tipo Bessel, possui uma freqüência de corte apropriada e sua atenuação é de 12 dB/oit. A função de transferência deste filtro pode ser dada pela fórmula:

$$F_{PB}(S) = \frac{H_0 \ \omega_0^2}{S^2 + \alpha\omega_0 S + \omega_0^2}$$

O filtro foi realizado na forma discreta, utilizando-se amplificadores operacionais, resistências e capacitores, e o estágio de saída é compatível com as características de entrada dos meios de transmissão (i.é., par de fios, linha telefônica,etc.).

CAPÍTULO 3

DIAGRAMA DE BLOCOS DO DEMODULADOR

Basicamente o demodulador pode ser dividido em vários blocos funcionais interligados entre si, como pode ser visto na Figura 3.1.

1. Circuito de entrada que interfaceia o demodulador com a linha telefônica.

2. Circuito de aquisição responsável pela transformação e armazenamento dos dados a serem processados.

3. Circuito de recuperação do sincronismo que,a partir do sinal modulado,regenera o relógio da taxa de transmissão usado no transmissor.

4. Circuito gerador de sinais de relógio múltiplos necessários durante o processo de demodulação.

5. Circuito de recuperação da portadora que,a partir do sinal modulado,regenera o sinal da portadora em freqüência e em fase, quesitos esses indispensáveis para se fazer uma demodulação coerente.

6. Circuito demodulador propriamente dito responsável pela obtenção do sinal de banda base, a partir do sinal modulado.

7. Circuito de filtragem da banda base que rejeita a portadora e eventuais ruídos.

8. Circuito de equalização capaz de corrigir as distorções presentes no sinal demodulado, distorções essas provenientes das imperfeições do canal de transmissão, dos filtros e de todo o sistema em geral.

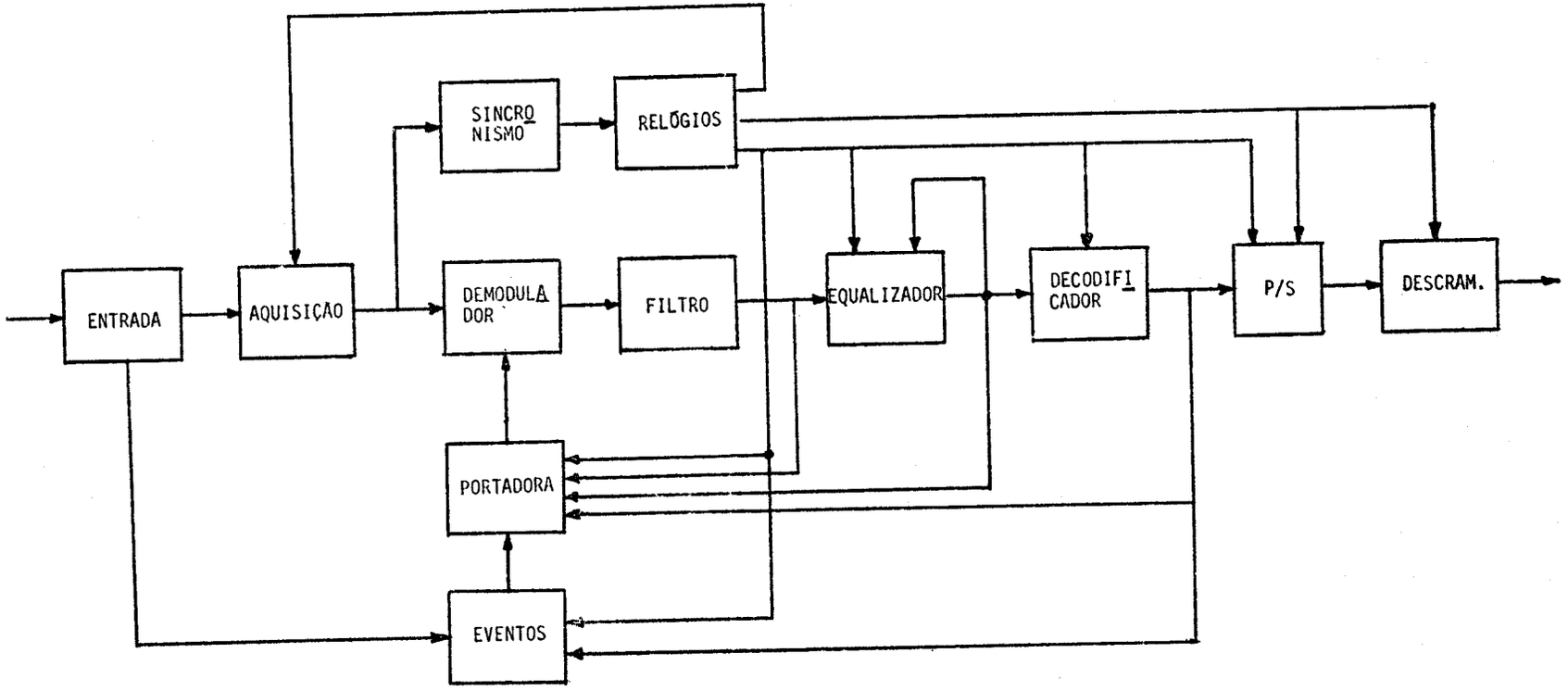

Fig. 3.1 - Diagrama de blocos de demodulador.

9. Circuito de decodificação e decisão que se utiliza das componentes de banda base, em fase e em quadratura amostradas e equalizadas para a determinação dos símbolos recebidos e conseqüentemente da mensagem binária.

10. Circuito paralelo-série que fornece um trem serial de bits, a partir da sequência de símbolos recebidos.

11. Circuito "Descrambler", cuja função é inversa a do circuito "Scrambler" existente no modulador.

12. Circuito sequenciador que deteta a ocorrência dos eventos relacionados com a sequência de treinamento.

3.1 - CIRCUITO DE ENTRADA

O circuito de entrada é constituído por: um filtro passa faixa um controle automático de ganho e um circuito que determina a presença de sinal da linha (RLSD Received Line Signal Detetor).

O filtro passa faixa possui características do tipo Bessel, para uma melhor resposta em fase, com uma largura de faixa de $\Delta F = 3000\ H_z$ com uma atenuação de 12 dB/oit. O filtro passa-faixa foi realizado, utilizando-se um filtro passa- baixas e um filtro passa-altas, ambos do tipo Bessel, cujas funções de transferência são:

$$f_{PB} = \frac{H_0\ \omega_0^2}{S^2 + \alpha\omega_0 S + \omega_0^2} \qquad f_{PA} = \frac{H_0\ S^2}{S^2 + \alpha\omega_0 S + \omega_0^2}$$

Os elementos utilizados na realização destes filtros foram: amplificadores operacionais, capacitores e resistores.

O controle automático de ganho tem a finalidade de, através de realimentação, estabilizar a amplitude do sinal recebido numa faixa de -40 dBm a 0 dBm. O elemento de ganho variável utilizado é um F.E.T., sendo que a retificação assim como a amplificação de entrada e o filtro passa-baixas são realizados, utilizando-se amplificadores operacionais.

O circuito que determina a presença de sinal no demodulador (RLSD) é basicamente constituído de um retificador de onda completa, de um filtro passa-baixas e de um comparador.

Os diversos estágios foram realizados com: amplificadores operacionais, diodos selecionados, resistências e capacitores. O sinal RLSD pode ou não ser inibido através de comando gerado pelo sistema de controle.

3.2 - CIRCUITO DE AQUISIÇÃO

O sinal já regenerado pelo filtro de entrada e pelo controle automático de ganho é então amostrado através de um amostrador-segurador (S/H) e convertido em sinal digital através de um conversor Analógico-Digital (A/D). Neste sistema de conversão são utilizados circuitos híbridos de excelente tempo de resposta, sendo as saídas do conversor A/D do tipo "tri-state", uma vez que tais sinais constituem as entradas de uma memória RAM de 256 X 8, via "bus" principal. O tamanho da memória utilizada é de 32 X 8, cuja finalidade é a de armazenar o sinal a ser demodulado, enviado pelo sistema de conversão.

3.3 - CIRCUITO DE RECUPERAÇÃO DE SINCRONISMO

O circuito de recuperação de sincronismo é constituído por: um retificador, um filtro tanque, um detetor de cruzamento, um conversor numérico/digital e um defasador.

O retificador fornece o módulo do sinal de linha amostrado depois da unidade de aquisição.

O filtro tanque é caracterizado no domínio do tempo discreto pela equação de segunda ordem $H(z) = [(1-a_2)/2]\,[(1-z^{-2})/(1-a_1z^{-1}+a_2z^{-2})]$, onde os coeficientes a_1 e a_2 são funções

- da taxa de amostragem do sistema (19200 H_z),
- da frequência de sintonia do filtro que é igual à taxa de repetição de símbolos (1600 H_z),
- do coeficiente de sintonia do filtro.

OBS: Mais de uma unidade de filtro tanque pode ser colocada em cascata, de acordo com as necessidades.

O detetor de cruzamento de zero é colocado em série com o filtro tanque. O sinal de saída do filtro tanque sendo discreto, o cruzamento de zero não corresponde necessariamente a uma amostra calculada do sinal de saída. Caso ocorra um cruzamento entre duas amostras, é necessário detetar onde o mesmo ocorreu para a determinação da fase do sincronismo. A Figura 3.2 a seguir mostra como é feita esta deteção.

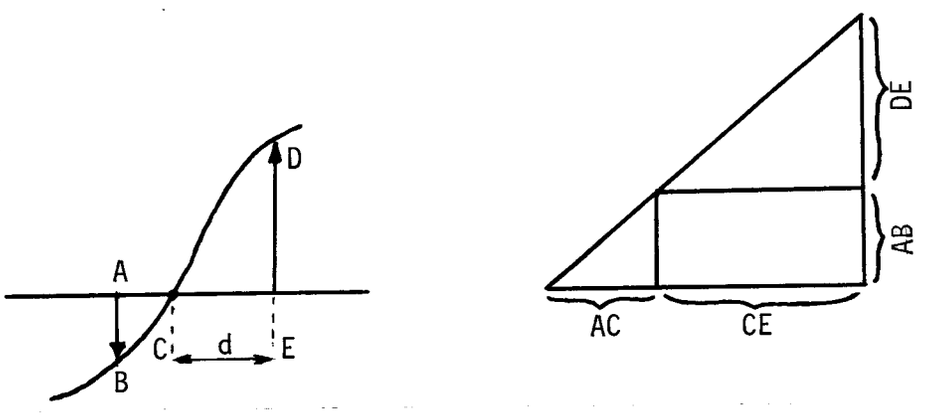

Fig. 3.2 - Determinação de Cruzamento de zero.

Desde que ocorram sucessivamente uma amostra negativa e uma amostra positiva, pode-se deduzir que houve um cruzamento de zero de negativo para positivo, bastando portanto calcular a distância "d". Por outro lado, a relação N entre as frequências de amostragem e de sintonia do filtro tanque é prefixada dentro do sistema e, consequentemente, o segmento "$\overline{AE}$" representa K graus da frequência de sintonia. Para K constante tem-se:

$$K = \frac{360^o}{N}$$

Neste caso

$$N = \frac{19.200\ H}{1.600\ H} = 12$$

e

$$K = \frac{360^o}{12} = 30^o$$

Se o intervalo em graus entre duas amostras sucessivas for igual ou menor a 30 graus, "$\overline{BD}$" pode ser considerado como uma reta. O cálculo de "d" se resume então à aplicação da regra de proporcionalidade de triângulos:

$$\frac{\overline{AB} + \overline{DE}}{\overline{AC} + \overline{CE}} = \frac{\overline{DE}}{\overline{CE}}$$

$$d = \frac{\overline{DE}\ (\overline{AC} + \overline{CE})}{\overline{AB} + \overline{DE}}$$

onde: $\overline{AC} + \overline{CE} = 2^M$ é uma constante que depende da discretização escolhida,

$\overline{DE}$ é a amostra atual,

$\overline{AB}$ é a amostra anterior.

À distância "d" é aplicado um fator de correção para compensar as variações de amplitude do sinal de saída do filtro tanque. Esse fator de correção é obtido através de uma tabela gerada para esse fim, acessada pela soma dos módulos das duas amostras envolvidas no processo.

A função do conversor numérico/digital é transformar a seqüência de números gerados no detetor de cruzamento em uma forma de onda digital capaz de alimentar o circuito gerador de sinais múltiplos do relógio. Basicamente, este conversor é um contador binário de M bits, carregado periodicamente pelo valor numérico a converter.

O defasador é ajustável manualmente para compensar o atraso inerente à malha de recuperação de sincronismo do sistema. Ele também atua na inicialização do contador binário citado na seção anterior.

3.4 - CIRCUITO GERADOR DE SINAIS MÚLTIPLOS (DPLL)

Este circuito é composto de um oscilador local de freqüência elevada e de vários divisores para obtenção das diversas freqüências necessárias para o gatilhamento de alguns circuitos, assim como para a contagem de eventos. Além destes divisores, com o uso de um "Phase Locked Loop", procura-se amarrar algumas freqüências tal como a do sincronismo do sistema. A malha divisora permite que a transmissão e a recepção de dados possa ser realizada tanto em 2400 BPS, assim como em 4800 BPS.

A freqüência de entrada do PLL é obtida a partir da filtragem do sinal recebido, extraindo-se a componente responsável pela transmissão de símbolos.

A partir de eventual variação em fase e em frequência, da frequência de transmissão de símbolos, o PLL se ajustará de tal forma a possibilitar o sincronismo entre esta freqüência e a freqüência responsável pela execução de determinadas tarefas no processo de demodulação. Tanto o PLL como a rede de divisores foram realizados com circuitos integrados de fácil obtenção no mercado.

3.5 - CIRCUITO DE RECUPERAÇÃO DA PORTADORA

É um circuito realimentado que, basicamente, processa as componentes de banda base filtradas e amostradas numa taxa igual à frequência de repetição de símbolos oriunda do circuito de recuperação de sincronismo. O circuito detetor de eventos estipula as alterações efetuadas no processamento básico durante a execução de acordo com as várias fases de adaptação do sistema.

As alterações referidas acima dizem respeito a:

- uso das componentes em fase e em quadratura equalizadas ou não,
- mudanças no algoritmo de deteção de erro.

Uma análise sucinta das componentes de banda base demoduladas e filtradas revela o efeito sobre elas de um desvio angular entre a portadora recuperada e a portadora ideal.

$$\overline{X}(t) = \frac{X(t)}{2} \cos \theta - \frac{Y(t)}{2} \operatorname{sen} \theta$$

$$\overline{Y}(t) = \frac{X(t)}{2} \operatorname{sen} \theta + \frac{Y(t)}{2} \cos \theta$$

Para esta formulação, considera-se que o sinal recebido é isento de ruído e que a frequência do oscilador local apresenta um erro médio nulo ao longo do tempo. Essa última premissa é bastante razoável já que os osciladores mestres do transmissor e do receptor são de grande estabilidade e precisão. Por outro lado, mesmo que haja uma pequena dife

rença de freqüência, esta será vista como um pequeno desvio angular residual do ponto de vista do algoritmo de deteção de erro. Enquanto o demodulador está recebendo a sequência de treinamento padronizada pela CCITT tem-se:

$$\theta = \text{ARCSEN} \left\{ \frac{2\overline{Y}(t)}{\sqrt{2}} \cdot \text{sinal}[x(t)] \right\} \quad |\theta| < \pi/2 .$$

Caso o modulador esteja recebendo dados ter-se-á:

$$\theta = \text{ARCSEN} \left\{ \text{sinal}[\overline{X}(t)] \cdot \overline{Y}(t) - \text{sinal}[\overline{Y}(t)] \cdot \overline{X}(t) \right\} \quad |\theta| < \pi/4$$

para um conjunto de quatro símbolos, e

$$\theta = \text{ARCSEN} \left\{ \text{sinal}[\overline{X}(t)] \cdot \overline{Y}(t) - \text{sinal}[\overline{Y}(t)] \cdot \overline{X}(t) \right\} - \pi/4 \quad |\theta| < \pi/4$$

para o outro conjunto de quatro símbolos.

O circuito detetor de eventos e o circuito de decodificação e decisão determinam a equação que deverá ser resolvida a cada instante para se obter o erro θ. Sabe-se que as componentes de banda base apresentam distorções devidas às características de amplitude e de fase do meio de transmissão ao ruído branco e ao ruído impulsivo; conseqüentemente, o erro de fase deve ser submetido a uma filtragem após a qual ele irá atuar na fase do oscilador local, fechando assim o elo de realimentação.

3.6 - CIRCUITO DEMODULADOR PROPRIAMENTE DITO

Esse circuito é constituído por um oscilador local e por multiplicadores.

O sinal oriundo do canal de transmissão através dos circuitos de entrada e de aquisição é multiplicado pelo coseno e seno da

portadora, gerada localmente por um oscilador, caracterizando desta forma um processo de demodulação coerente, após o qual obtem-se as componentes de banda base. Caso se denominem X(t) e Y(t) as componentes de banda base na modulação, o sinal modulado S(t) isento de perturbações é representado pela equação:

$$S(t) = X(t) \cos \omega_c t + Y(t) \operatorname{sen} \omega_c t.$$

A portadora gerada localmente é representada por:

$$P(t) = \cos(\omega_{c_1} t + \theta)$$

após as multiplicações referidas acima, ter-se-ão:

$$\overline{X}(t) = [X(t) \cos \omega_c t + Y(t) \operatorname{sen} \omega_c t] \cos(\omega_{c_1} t + \theta),$$

$$\overline{Y}(t) = [X(t) \cos \omega_c t + Y(t) \operatorname{sen} \omega_c t] \operatorname{sen}(\omega_{c_1} t + \theta).$$

Se o circuito de recuperação da portadora atua convenientemente, ter-se-á que $\omega_{c_1} t = \omega_c t$ e $\theta = 0$; desta forma, segue que:

$$\overline{X}(t) = \frac{X(t)}{2} + \frac{X(t)}{2} \cos(2\omega_c t) + \frac{Y(t)}{2} \operatorname{sen}(2\omega_c t),$$

$$\overline{Y}(t) = \frac{Y(t)}{2} + \frac{X(t)}{2} \operatorname{sen}(2\omega_c t) - \frac{Y(t)}{2} \cos(2\omega_c t), \text{ sendo que:}$$

$\overline{X}(t)$ e $\overline{Y}(t)$ constituem as componentes de banda base em fase e em quadratura, respectivamente.

3.7 - CIRCUITO DE FILTRAGEM DE BANDA BASE

Basicamente, este circuito é um filtro transversal composto de uma linha de atrasos com tempo de atraso correspondente à frequência de amostragem do sistema

O sinal de cada módulo de atraso (TAP) é multiplicado individualmente por coeficientes fixos, e a soma de todos os produtos constitui a saída filtrada. A seqüência de coeficientes fixos é também chamada seqüência ponderada e representa a resposta impulsiva do filtro. No domínio da freqüência o filtro teórico é caracterizado como segue:

$$A(\omega) = \left[\frac{T\omega/2}{\mathrm{sen}(T\omega/2)}\right]^{1/2} \qquad \omega < (\omega_c - \omega_x)$$

$$A(\omega) = \left\{\frac{1}{2}\left[1 - \mathrm{sen}\,\pi\frac{(\omega-\omega_c)}{2\omega_c}\right]\left[\frac{T\omega/2}{\mathrm{sen}(T\omega/2)}\right]\right\}^{1/2} \qquad (\omega_c - \omega_x) \leq \omega \leq (\omega_c + \omega_x)$$

$$A(\omega) = 0 \qquad \omega < (\omega_c + \omega_x)$$

A Figura 3.3 mostra a característica do filtro no domínio da frequência , onde:

$W_c = 2\pi \times F_c$, sendo F_c = freqüência do corte do filtro passa-baixa.

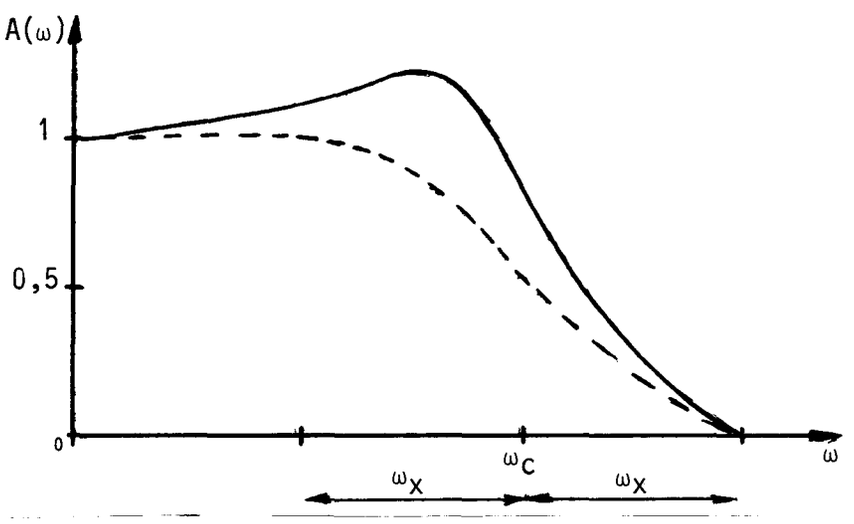

Fig. 3.3 - Curva característica dos filtros de banda base.

Um caso particular recomendado pela CCITT ocorre quando $\omega_x = \omega_c/2$. Neste caso, diz-se que o filtro tem um fator de "Roll-off" de 50%.

3.8 - CIRCUITO DE EQUALIZAÇÃO

Basicamente, este é um circuito equalizador com implementação numérica, de banda base auto-adaptativo, constituído por dois filtros transversais de N "taps" com coeficientes variáveis comuns a ambos. A auto adaptação é baseada num algoritmo de minimização do erro quadrático médio. Um filtro transversal é responsável pela equalização da componente em fase enquanto o outro cuida da componente em quadratura.

De forma breve, o processo pode ser descrito como segue:

- O sinal de banda base não equalizado alimenta o filtro transversal constituído de uma linha de atrasos, com tempo de atraso correspondente à taxa de amostragem da banda base.

- O sinal de cada módulo de atraso (TAP) é multiplicado por um coeficiente variável, e a soma de todos os produtos constitui a saída equalizada.

- As duas componentes equalizadas alimentam um circuito de decodificação e decisão que gera a referência estimada.

- A diferença entre a referência e a saída do equalizador constitui o erro que é multiplicado por um fator chamado coeficiente de convergência (β).

- Esse novo resultado é multiplicado individualmente por cada saída dos módulos de atraso. Os resultados obtidos correspondem às variações dos coeficientes associados aos seus respectivos módulos de atraso.

Cuidados devem ser tomados em relação ao coeficiente de convergência. Se por um lado um coeficiente pequeno assegura uma adaptação melhor, o tempo de convergência pode tornar-se excessivo. É conveniente, portanto, usar um coeficiente maior no início do processo para em seguida reduzí-lo progressivamente. No entanto, não se pode esquecer que um coeficiente muito grande pode levar o equalizador à divergência (instabilidade).

3.9 - CIRCUITO DE DECODIFICAÇÃO E DECISÃO

É um circuito constituído por um defasador e por detetores de polaridade. De acordo com o número de fases a serem decodificadas, podem ser necessários elementos adicionais, tais como, retificadores e um substrator. As componentes de banda base em fase e em quadratura, depois de filtradas, amostradas e equalizadas, alimentam o defasador. Este, por sua vez, fornece duas saídas que alimentam os detetores de polaridade e, eventualmente, dois retificadores. Caso isso ocorra, a diferença entre as saídas retificadas é aplicada a um terceiro detetor de polaridade. As saídas dos detetores de polaridade constituem os símbolos recebidos. O diagrama da Figura 3.4 mostra a estrutura usada, no caso em que é necessário decodificar 8 fases.

A função do defasador é a de fazer com que, na recepção, as regiões de decisão associadas a cada vetor ideal do plano de fase coincidam com os semiplanos quadrantes ou mesmo semiquadrantes, de acordo com o número de fases do sistema. Do ponto de vista matemático, as componentes em fase emquadratura compõem o vetor de fase recebido. Esse mesmo vetor é defasado e o novo vetor dá origem a novas componentes em fase e em quadratura, que são examinadas pelo resto do circuito. O valor da defasagem introduzida é função do número de fases e das características do plano de fase ideal.

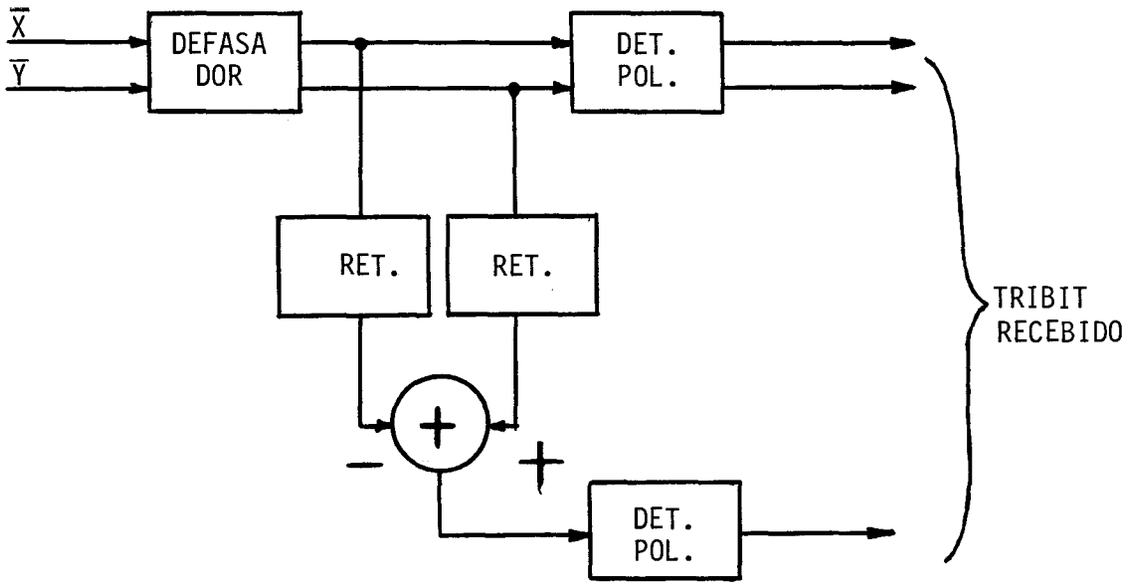

Fig. 3.4 - Diagrama do circuito de decodificação e decisão.

3.10 - CIRCUITO PARALELO-SÉRIE

Este circuito é constituído por um registro de deslocamento com entradas e saídas paralelas, tendo como taxa de deslocamento à direita um múltiplo inteiro da taxa de entrada. Deste modo, o bit bit menos significativo da saída paralela constitui a saída série. A Figura 3.5 mostra a configuração descrita.

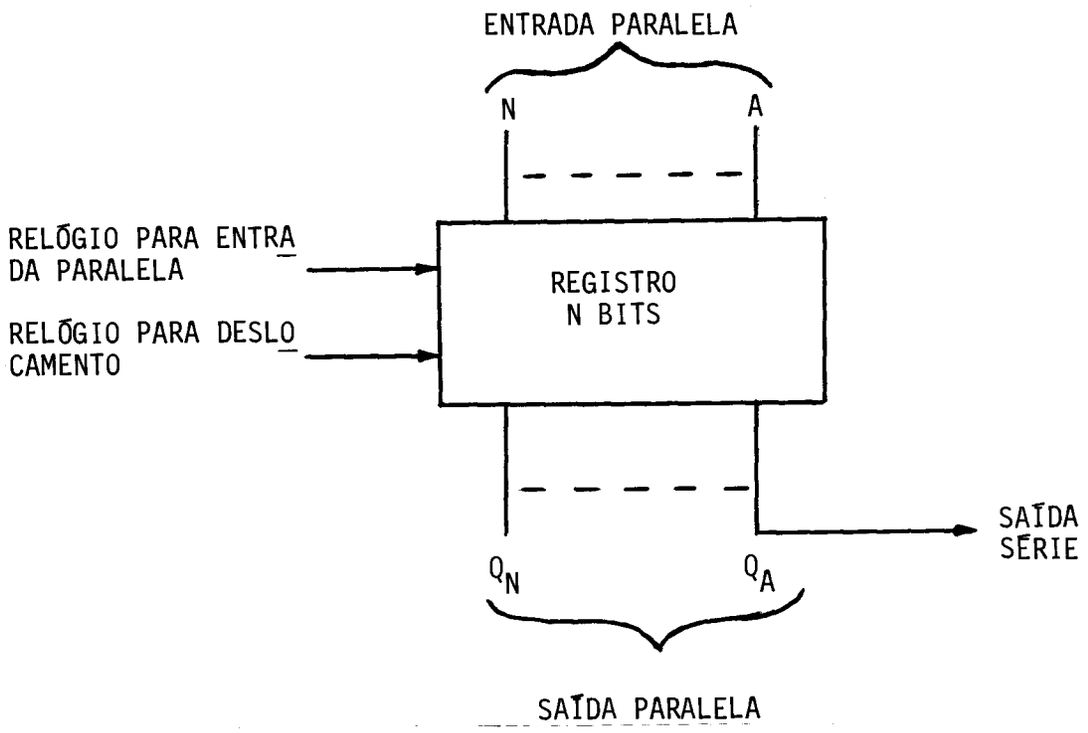

Fig. 3.5 - Diagrama do conversor paralelo-série.

3.11 - CIRCUITO "DESCRAMBLER"

Na recepção, a seqüência de bits de entrada é investigada de forma contínua dentro de uma janela de 45 bits de maneira a detetar seqüências da forma:

$$P(x) = \sum_{i=0}^{32} a_i \, x^i,$$

onde

$$a_i = 1 \text{ ou } 0$$

$$a_i = a_{i+9} \text{ ou } a_{i+12}$$

caso ocorra uma tal seqüência, o bit que segue imediatamente à seqüência é invertido. O polinômio representado pela seqüência resultante é então multiplicado pelo polinômio gerador $1 + X^{-6} + X^{-7}$ para formar a mensagem polinomial recuperada. Os coeficientes do polinômio recuperado tomados em ordem descendente formam a seqüência de bits de saída.

3.12 - CIRCUITO SEQUENCIADOR

Basicamente a deteção dos diferentes segmentos da seqüência de treinamento,assim como a determinação automática que permite concluir se a seqüência é longa ou curta, é realizada através de contadores binários e de um decodificador. O sinal recebido (freqüência de transmissão de símbolos),devidamente adaptado para torná-lo digital, juntamente com o bit mais significativo do tribit do sinal demodulador são entradas de um contador "up-down".

Pela característica da seqüência de treinamento, o primeiro trecho deverá dar na saída do contador, no máximo, a contagem ±1, uma vez que o sinal no primeiro trecho é simétrico, i. é, (001, 111).

Ao iniciar o segundo trecho,a seqüência (001,111) passa a ser aleatória,e a transição será detetada caso o contador alcance um valor pré-determinado. Como é sempre examinado pelo processador, o bit de transição de trechos, caso este ocorra, inibe o contador. Pela leitura da polaridade gerada através de um codificador, pode-se determinar se há defasagem ou não entre a fase do sinal recebido e a da portadora gerada no demodulador.

Um outro contador responsável pela indicação se a seqüência de treinamento é longa ou curta tem como entrada um sinal com a freqüência de transmissão de símbolos. Portanto, ao se inibir este contador, quando houve transição dada pelo circuito anterior, a simples leitura realizada neste contador de 8 bits permite saber de quantos símbolos era constituído o primeiro trecho e, portanto, se a seqüên

cia de treinamento é do tipo longa ou curta. As saídas dos contadores são do tipo "tri-state", uma vez que a leitura é realizada através do barramento do processador.

3.13 - CONCLUSÃO

A continuidade natural deste trabalho é a sua implementação física. O trabalho auxiliar, com o objetivo de validar o modelo proposto, foi realizado com uma simulação através de um computador de grande porte. A simulação foi realizada respeitando-se os limites do número de dígitos a serem utilizados para cada palavra, e todo o processamento foi realizado em ponto fixo. O êxito na simulação serviu não só de estímulo, mas também permitiu uma melhor validação do modelo apresentado neste trabalho(Mammoli 1980).

REFERÊNCIAS BIBLIOGRÁFICAS

I.T.U. CCITT. *4.800 bits per second modem standardized for used on leased circuit.* Geneve, 1972. (Series V-27 Recommendation).

MAMMOLI, M. *Simulação de um modem digital para comunicação a 4.800 bits/s.* Tese de Mestrado em Eletrônica e Telecomunicações/Sistemas Digitais. São José dos Campos, INPE, out., 1980. (INPE-1928-TDL/032).