

SCDA

Especificação do Sistema

Versão 1.0

20/07/2017

SCDA-01-001-v1.0

# Registro de Propriedade do Documento

|  |  |  |  |
| --- | --- | --- | --- |
| **Autores** | **Organização** | **Data** | **Assinatura** |
| José Marcelo Lima Duarte | INPE/CRN | 25/07/2017 |  |
|  |  |  |  |

|  |  |  |  |
| --- | --- | --- | --- |
| **Revisores** | **Organização** | **Data** | **Assinatura** |
|  |  |  |  |

# Histórico de Revisão

|  |  |  |
| --- | --- | --- |
| **Edição** | **Data** | **Modificações** |
| 1.0 | 25/07/2017 | Criação do documento. |
|  |  |  |
|  |  |  |
|  |  |  |

Conteúdo

[Registro de Propriedade do Documento 1](#_Toc488744774)

[Histórico de Revisão 1](#_Toc488744775)

[1 Introdução 4](#_Toc488744776)

[2 Documentos Aplicáveis e Referenciáveis 4](#_Toc488744777)

[2.1 Documentos Aplicáveis 4](#_Toc488744778)

[2.2 Documentos Referenciáveis 4](#_Toc488744779)

[3 Requerimentos 4](#_Toc488744780)

[3.1 Definição do Equipamento 4](#_Toc488744781)

[3.1.1 Funções 4](#_Toc488744782)

[3.1.2 Modos de Operação 4](#_Toc488744783)

[3.1.3 Descrição do Equipamento 5](#_Toc488744784)

[3.1.4 Definição da Interface 5](#_Toc488744785)

[3.1.5 Pontos de Teste 5](#_Toc488744786)

[3.2 Requerimentos de Desempenho 6](#_Toc488744787)

[3.2.1 Frequência de Entrada 6](#_Toc488744788)

[3.2.2 Potência de Entrada 6](#_Toc488744789)

[3.2.3 Conversão de Frequência 6](#_Toc488744790)

[3.2.4 Real Time Clock (RTC) 6](#_Toc488744791)

[3.2.5 Linearidade 6](#_Toc488744792)

[3.2.6 Amplitude Ripple 6](#_Toc488744793)

[3.2.7 Ligamento 6](#_Toc488744794)

[3.2.8 Figura de Ruído 7](#_Toc488744795)

[3.2.9 Susceptibilidade 7](#_Toc488744796)

[3.2.10 Rejeição de Imagem 7](#_Toc488744797)

[3.2.11 Espúrios na Banda 7](#_Toc488744798)

[3.2.12 Decodificador 7](#_Toc488744799)

[3.2.13 Decodificador Simulação 7](#_Toc488744800)

[3.2.14 Interface I2C 8](#_Toc488744801)

[3.2.15 Housekeeping 8](#_Toc488744802)

[3.3 Requisitos Elétricos 8](#_Toc488744803)

[3.3.1 Consumo 8](#_Toc488744804)

[3.3.2 Reguladores de Tensão 8](#_Toc488744805)

[3.4 Requisitos Mecânicos 8](#_Toc488744806)

[3.4.1 Massa 8](#_Toc488744807)

[3.4.2 Dimensões 9](#_Toc488744808)

# Introdução

Esta especificação estabelece a funcionalidade, o desempenho, a arquitetura de hardware e os testes do Sistema de Coleta de Dados Ambiental (*SCDA*);

# Documentos Aplicáveis e Referenciáveis

## Documentos Aplicáveis

Os seguintes documentos fazem parte desta especificação.

1. ISIS.ISIS-OBC.DS.1.1, ISIS, 2014.
2. NanoPower P-series Datasheet P31u/P31us V9.0, GOMspace, 2016.
3. UM10204 I2C-bus specification and user manual, NXP, Rev. 4 - 13 February 2012.
4. Argos-3, Platform Transmitter Terminal (PTT-A2), Platform Message Transceiver (PMT-A2), Physical Layer System Requirements, CNES, AS3-SP-516-2098-CNES, February, 2006

## Documentos Referenciáveis

Os seguintes documentos tem o propósito de justificar algum requerimento desta especificação, auxiliar no projeto do equipamento ou definir algum termo usado neste documento.

1. Doug Sinclair, "Radiation Effects on COTS Parts in SmallSats", SSC13-IV-3, 2013.
2. RESOLUÇÃO ANATEL N§ 665/2016

# Requerimentos

## Definição do Equipamento

### Funções

O equipamento deve prover as seguintes funções:

* Receber o sinal de PTTs (*Platform Transmitter Terminal*) no padrão PTT-A2, especificado em [4], na banda de frequência de 401.635 MHz ±30 kHz;
* Digitalizar o sinal recebido em banda base (0 ±30 kHz) com componente em fase e em quadratura;
* Decodificar o sinal das PTTs e estimar a potência, a frequência e o horário de recepção.
* Prover os dados das PTTs (horário, frequência, potência e mensagem) para o Computador de Bordo (CB) através de uma interface I2C escrava e UART/RS-422.

### Modos de Operação

O equipamento deve ter os seguintes modos de operação:

* Desligado;
* Ligado - Inativo;
* Ligado - Ativo;

O modo de operação Ligado ou Desligado do SCDA deve ser selecionado através de chaves localizadas em um outro equipamento, com o modo padrão sendo o Desligado. Os modos de operação Ativo e Inativo devem ser selecionados via telecomando para o SCDA, sendo o Inativo o modo padrão.

### Descrição do Equipamento

O diagrama de blocos do equipamento é apresentado na Figura 1.

O SCDA é ligado no modo inativo. Para mudar para o modo ativo, o sistema deve receber um telecomando proveniente do CB via interface I2C (barramento i2cBus0) ou RS-422/UART. Esse telecomando deve configurar também o horário do RTC interno do SCDA com precisão de ±1 ms .

No modo Ativo, o SCDA recebe o sinal das PTTs através da entrada de RF e os entrega para o circuito integrado (CI) AD9874ABST da Analog Device, que faz a conversão de frequência e digitalização do sinal em banda base. O FPGA da família M2S050 da Microsemi decodifica o sinal digitalizado e provê os dados recuperados para o CB através da interface I2C, ou através da interface RS-422/UART.

A Figura 2 apresenta o sistema de distribuição de potência e proteção de sobrecorrente. Uma fonte de potência externa de 5V alimenta o sistema. Internamente, são geradas outras tensões necessárias para os componentes internos. Sensores de corrente (Current Sensor - CS) monitoram a ocorrência de sobrecorrente, geralmente causada por *latch-up* . Em caso de detecção de sobrecorrente em qualquer um dos pontos monitorados, um ciclo de potência é aplicado no sistema. Isto é, a alimentação é interrompida e depois religada após um período superior a 200ms. O bloco Supervisorrepresenta o conjunto dos componentes que implementam a lógica da proteção contra sobrecorrente.

As medições dos detectores de corrente são digitalizadas e disponibilizadas via interface I2C para o Supervisor através do barramento i2cBus1. O Supervisor possui uma memória para registrar qual sensor de corrente disparou o desligamento a fim de fornecer essa informação como telemetria para o CB, por intermédio do FPGA.

### Definição da Interface

Um conector SMA fêmea deve ser utilizado na entrada de RF.

O equipamento deve se comunicar com o CB e o subsistema de potência através do CubeSat Kit Bus (CSKB), definido nos documentos [1] e [2] da Seção 2.

O equipamento deve se comunicar com o CB através de uma interface I2C capaz de operar na taxa de 400 Kbit/s. Os sinais SDA e SCL desta interface devem estar ligados, respectivamente, nos pinos H1-41 e H1-43 do CSKB.

O equipamento deve prover uma interface RS-422/UART através de um conector do tipo DB-9 macho.

Deve ser possível escolher qual das 6 fontes chaveáveis do subsistema de potência [2] será usada para alimentar o SCDA. Esta seleção deverá ser feita através da soldagem de um resistor SMD de 0 Ω. As fontes chaveadas do subsistema estão localizadas nos pinos H1-47, H1-48, H1-49, H1-50, H1-51 e H1-52 do barramento CSKB.

Uma interface JTAG deve existir para permitir a programação do FPGA do equipamento.

### Pontos de Teste

Pontos de Teste (*Test Points* - TP) devem existir nas seguintes posições do circuito

* Logo antes do circuito de casamento de impedância de entrada do AD9874. Um conector de RF deve ser usado como TP. Capacitores de desacoplamento devem permitir as seguintes configurações:
  + Receptor de RF conectado ao AD9874, e TP desconectado;
  + Receptor de RF conectado ao TP, e AD9874 desconectado;
  + TP conectado ao AD9874, e receptor de RF desconectado.
* Na saída do VCO. Um conector de RF deve ser usado como TP. Capacitores de desacoplamento devem permitir as seguintes configurações
  + Saída do VCO conectada ao AD9874 e TP;
  + TP conectado ao AD9874, e VCO desconectado;
  + Saída do VCO conectado ao TP, e AD9874 desconectado;
* Nos sinais IF2N e IF2P do AD9874;
* Nos sinais FS, DOUTA, DOUTB e CLKOUT do AD9874;
* Em cada sinal de SPI existente;
* Na saída de cada regulador de potência.

LEDs com propósito de debug devem existir nas seguintes posições:

* Um LED para indicar se há alimentação de entrada;
* Dois LEDs ligados a IOs do FPGA e alimentados em 3.3V através de um resistor.

## Requerimentos de Desempenho

### Frequência de Entrada

O equipamento deve aceitar sinais na banda de frequência de 401.635MHz ±30kHz.

### Potência de Entrada

O P1dB do receptor deve ser superior a -86 dBm.

### Conversão de Frequência

O processo de conversão de frequência do sinal de entrada para banda base deve possuir as seguintes estabilidades:

* *short term stability*: ±1·10-9 rms/s
* *temperature stability*: ±1·10-6 (na faixa da temperatura de operação)
* *aging*: ±1·10-6/ano.

### Real Time Clock (RTC)

O RTC deve ter uma precisão de ±1 ms.

### Linearidade

Dois tons com -100dBm, dentro da banda passante, não devem produzir um produto de intermodulação no sinal digitalizado que supere o limiar de -30dB abaixo desses tons.

### Amplitude Ripple

Um tom de amplitude fixa varrendo a banda de entrada não pode produzir uma alteração superior a 2 dB pico a pico na amplitude do sinal digitalizado.

### Ligamento

O equipamento deve possuir um circuito de *power on-reset* para garantir o estado inicial do Sistema. O equipamento deve ser capaz de atender a essa especificação em até 5 segundos após seu ligamento.

### Figura de Ruído

A Figura de Ruído deve ser inferior a 3.5 dB.

### Susceptibilidade

O equipamento deve atender os requisitos desta especificação com presença de sinais interferentes menores que a máscara mostrada na Figura 3.

O equipamento não deve ser permanentemente degradado após exposição a um sinal de entrada de -60dBm em nenhuma frequência.

### Rejeição de Imagem

Mínimo de 35 dB para 395.49 MHz. Ver resolução de para frequência de imagem em [6].

### Espúrios na Banda

Injetando-se um sinal de entrada de -100 dBm não deve-se observar espúrios no espectro do sinal digitalizado acima do limiar de -30 dBc.

### Decodificador

* **Tipo de Sinais Decodificados**: PTT-A2;
* **Banda de Entrada:** Especificada na Seção 3.2.1;
* **Faixa Dinâmica:** Sinais entre -128 a -108 dBm;
* **PAPR:** Ponto de saturação maior ou igual a -88 dBm;
* **Doppler Rate do Sinais:** entre ±120 Hz/s2;
* **Decodificação simultânea:** O sistema deve conseguir decodificar 10 ou mais sinais sobrepostos no tempo;
* **Precisão da Estimação da Potência dos Sinais**: ±2 dBm;
* **Precisão da Estimação da Frequência dos Sinais:** ±65 Hz;
* **Precisão da Estimação do Tempo em que a frequência foi medida:** ±5 ms;
* **FER:** Inferior a 10-2 (Considerar uma detecção perdida como um erro);
* **Falsa detecção:** Apenas sinais que obedeçam um padrão aceito pelo decodificador podem gerar mensagem valida de saída.

### Decodificador Simulação

O decodificador deve ser simulado com um sinal de RF com impedância de fonte de 50Ω e forma de onda descrita pela equação

Em que, é o número de sinais PTT recebidos durante o período de simulação , é o sinal transmitido em banda base, seguindo o padrão PTT-A2, é o instante de inicio do sinal , sendo , é a potência do sinal em dBm, com K sendo uma constante que depende da unidade de , é o sinal de fase da portadora em banda base e é a frequência central de transmissão, 401,635 MHz.

O sinal da portadora em banda base deve ser modelado como sendo

|  |  |  |
| --- | --- | --- |
|  |  | (4) |

Em que, é a fase inicial, é a frequência inicial em rad/s e é o Doppler Rate em rad/s2.

O decodificador deve atender o desempenho de ao ser simulado com , , e as variáveis , , , e modeladas como variáveis aleatórias com densidade de probabilidade uniforme entre seus valores máximos e mínimo, conforme exposto na Tabela 1. O tamanho e os dados das mensagens também devem ser aleatórios.

Tabela 1- Valores máximos e mínimos das variáveis do sinal de teste

|  |  |  |  |
| --- | --- | --- | --- |
|  | **Min** | **Max** | **Unit** |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  | 0 |  |  |

### Interface I2C

A interface I2C deve obedecer a especificação de 400 kbps definida em [3].

### Housekeeping

O equipamento deve prover os seguintes parâmetros para o CB através do barramento i2cBus0 ou RS-422.

* Nível RMS da saída do AD9874;
* Uma sequência de 2048 amostras do AD9874, com instante de captura controlado pelo Computador de Bordo;
* Estado do PLL do circuito de recepção (sinal de *lock*);
* Nível de corrente dos canais de alimentação monitorados;
* Ocorrência de acionamento da proteção de sobrecorrente com indicação de qual sensor disparou a proteção;

## Requisitos Elétricos

### Consumo

O equipamento deve consumir menos de 3W no modo ativo.

### Reguladores de Tensão

* O regulador de tensão que gera o 3.3V deve ser chaveado para aumentar a eficiência energética do sistema.
* O regulador de tensão que gera o 1.2V do FPGA Core, deve ter como alimentação de entrada uma tensão de 3.3V ou inferior.
* Caso algum componente que compõe o Supervisor precise de uma alimentação inferior a 5V, um regulador de tensão linear, preferencialmente com porta PMOS, deverá ser usado.

## Requisitos Mecânicos

### Massa

O equipamento deve pesar menos que 0,5 Kg.

### Dimensões

As dimensões de envelope de comprimento e largura devem ser iguais ou inferior a 95mm e 90 mm, respectivamente.

Altura máxima dos componentes sobre a placa é 15mm.

O equipamento deve ser acoplável com o CB e o subsistema de potência através do conector CSKB e dos furos de montagem (quatro furos mais externos apresentados na figura da página 31 de [2]).

sdcsHardware.emf

Figura 1- Diagrama de Blocos do SCDA

sdcsPowerSyst.emf

Figura 2 - Diagrama de Blocos do Sistema de Potência.

susceptibilityMask.emf

Figura 3 - Máscara de Susceptibilidade do SCDA, frequências em MHz.